


SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

Patent number: JP2001291720
Publication date: 2001-10-19
Inventor: NOGUCHI JUNJI; OHASHI TADASHI; SAITO TATSUYUKI
Applicant: HITACHI LTD
Classification:
- international: H01L21/3205; C09K3/14; H01L21/304; H01L21/768; H01L21/8238; H01L27/092
- european:
Application number: JP20000104015 20000405
Priority number(s):

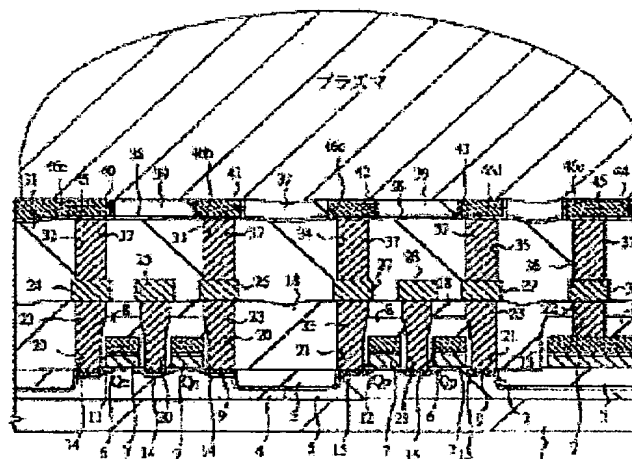
Also published as:

 US2001030367 (A)**Abstract of JP2001291720**

PROBLEM TO BE SOLVED: To enhance a copper wiring formed through a damascene method in dielectric breakdown strength (reliability).

SOLUTION: Cu wirings 46a to 46e filling wiring grooves 40 cut in a silicon oxide film 39 are formed by chemical and mechanical polishing and then subjected to a cleaning process, and the surfaces of the silicon oxide film 39 and the Cu wirings 46a to 46e are processed with reducing plasma (ammonia plasma). Thereafter, without breaking a vacuum, a cap film (silicon nitride film) is continuously formed.

図 16



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-291720

(P2001-291720A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 21/3205

C 0 9 K 3/14

5 5 0 Z 5 F 0 3 3

C 0 9 K 3/14

5 5 0

5 5 0 C 5 F 0 4 8

H 0 1 L 21/304

6 2 2

H 0 1 L 21/304

6 2 2 D

21/768

21/88

M

21/90

A

審査請求 未請求 請求項の数45 O L (全 80 頁) 最終頁に続く

(21) 出願番号

特願2000-104015 (P2000-104015)

(22) 出願日

平成12年4月5日 (2000. 4. 5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 野口 純司

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 大橋 直史

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

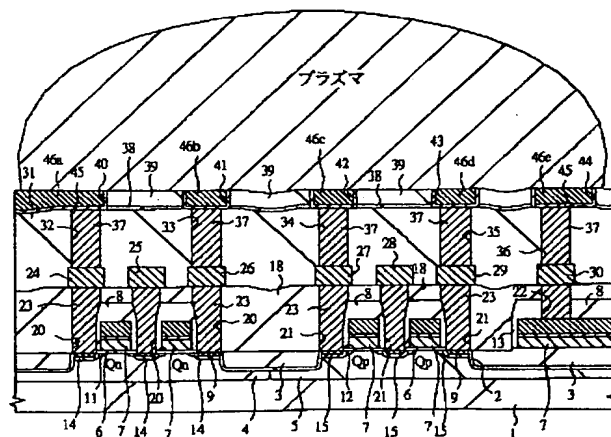
(54) 【発明の名称】 半導体集積回路装置および半導体集積回路装置の製造方法

(57) 【要約】

【課題】 ダマシン法を用いて形成された銅配線の絶縁破壊耐性 (信頼性) を向上する。

【解決手段】 酸化シリコン膜39の配線溝40に埋め込むCu配線46a~46eをCMPを用いた研磨で形成し、CMP後の洗浄工程を経た後に、酸化シリコン膜39およびCu配線46a~46eの表面を還元性プラズマ (アンモニアプラズマ) で処理する。その後、真空破壊することなく、連続的にキャップ膜 (窒化シリコン膜) を形成する。

図 16



【特許請求の範囲】

【請求項 1】 以下の構成を含むことを特徴とする半導体集積回路装置；

- (a) 第 1 の主面を有する半導体チップ；
 - (b) 上記半導体チップの上記第 1 の主面上に形成された第 1 の絶縁膜；
 - (c) 上記第 1 の絶縁膜表面に形成された埋め込み配線溝；
 - (d) 上記埋め込み配線溝の底面に設けられ、下層の導電層と接続するための接続孔；
 - (e) 上記埋め込み配線溝および上記接続孔の底面および側面の表面領域に形成された導電性バリア膜；
 - (f) 上記導電性バリア膜が形成された上記配線溝及び上記接続孔内に埋め込まれた銅を主成分とする埋め込みメタル配線層；
 - (g) 上記埋め込みメタル配線層及び上記第 1 の絶縁膜の上面を覆うように形成されたキャップ絶縁膜；
 - (h) 上記キャップ絶縁膜上に形成された上層絶縁膜；
- 上記半導体チップが完成した時点の上記埋め込みメタル配線層の銅以外の成分の濃度は、0.8 At. % 以下である。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分はシリコンを主要な不純物成分として含むことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分は酸素を主要な不純物成分として含むことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分は硫黄を主要な不純物成分として含むことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 記載の半導体集積回路装置において、上記銅以外の主要な不純物成分は、シリコン、酸素または硫黄またはそれらの任意の組合せであることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分の濃度は 0.2 At. % 以下であることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分の濃度は 0.08 At. % 以下であることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分の濃度は 0.05 At. % 以下であることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分の濃度は 0.02 At. % 以下であることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も薄い部分の膜厚は 10 nm 未満であることを特徴とする半導体集積回路

装置。

【請求項 11】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も薄い部分の膜厚は 5 nm 以下であることを特徴とする半導体集積回路装置。

【請求項 12】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も薄い部分の膜厚は 3 nm 以下であることを特徴とする半導体集積回路装置。

【請求項 13】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 10 nm 未満であることを特徴とする半導体集積回路装置。

【請求項 14】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 5 nm 以下であることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 3 nm 以下であることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 2 nm 以下であるか、または上記導電性バリア膜自体が存在しないことを特徴とする半導体集積回路装置。

【請求項 17】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝の幅は 0.4 μ m 以下であることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝の幅は 0.25 μ m 以下であることを特徴とする半導体集積回路装置。

【請求項 19】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝の幅は 0.2 μ m 以下であることを特徴とする半導体集積回路装置。

- 【請求項 20】** (a) 第 1 の主面を有する半導体基板；
(b) 上記半導体基板の上記第 1 の主面上に形成された第 1 の絶縁膜；
(c) 上記第 1 の絶縁膜表面に形成された埋め込み配線溝；
(d) 上記埋め込み配線溝の底面に設けられ、下層の導電層と接続するための接続孔；
(e) 上記埋め込み配線溝および上記接続孔の底面および側面の表面領域に形成された導電性バリア膜；
(f) 上記導電性バリア膜が形成された上記埋め込み配線

溝および上記接続孔内に埋め込まれた銅を主成分とする埋め込み金属配線層；

(g) 上記金属配線層および上記第 1 の絶縁膜の上面を覆うように形成されたキャップ絶縁膜を有し、
上記半導体基板から形成された半導体チップの完成時点の上記埋め込み金属配線層における銅以外の成分の濃度が 0.8 At. % 以下であり、
上記埋め込み金属配線層を形成するために、銅を主成分とする埋め込み金属膜を形成した時点での前記金属膜の銅の純度は 99.999 % 以上にすることを特徴とする半導体集積回路装置の製造方法。

【請求項 21】 請求項 20 記載の半導体集積回路装置の製造方法において、上記銅の純度は 99.9999 % 以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項 22】 請求項 20 記載の半導体集積回路装置の製造方法において、上記金属膜の形成は、銅の純度が 99.999 % 以上であるターゲットを用いたスパッタリングによって行われることを特徴とする半導体集積回路装置の製造方法。

【請求項 23】 請求項 21 記載の半導体集積回路装置の製造方法において、上記金属膜の形成は、銅の純度は 99.9999 % 以上であるターゲットを用いたスパッタリングによって行われることを特徴とする半導体集積回路装置の製造方法。

【請求項 24】 請求項 20 記載の半導体集積回路装置の製造方法において、上記形成された金属膜を化学機械研磨により平坦化した後、上記キャップ絶縁膜を形成する前に、上記半導体基板の上記第 1 の主面を、還元性を有する気体の雰囲気中でプラズマ処理することを特徴とする半導体集積回路装置の製造方法。

【請求項 25】 請求項 24 記載の半導体集積回路装置の製造方法において、上記気体雰囲気は水素を主要な構成要素として含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 26】 請求項 24 記載の半導体集積回路装置の製造方法において、上記気体雰囲気は更に窒化作用を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 27】 請求項 26 記載の半導体集積回路装置の製造方法において、上記気体雰囲気はアンモニアを主要な構成要素として含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 28】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み金属配線層を形成するための化学機械研磨は砥粒フリー化学機械研磨で行われることを特徴とする半導体集積回路装置の製造方法。

【請求項 29】 請求項 28 記載の半導体集積回路装置の製造方法において、上記砥粒フリー化学機械研磨に用

いられるスラリー中の砥粒の割合は質量比で 0.5 % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 30】 請求項 28 記載の半導体集積回路装置の製造方法において、上記砥粒フリー化学機械研磨に用いられるスラリー中の砥粒の割合は質量比で 0.1 % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 31】 請求項 28 記載の半導体集積回路装置の製造方法において、上記砥粒フリー化学機械研磨に用いられるスラリー中の砥粒の割合は質量比で 0.05 % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 32】 請求項 20 記載の半導体集積回路装置の製造方法において、上記銅以外の成分の濃度は 0.2 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 33】 請求項 20 記載の半導体集積回路装置の製造方法において、上記銅以外の成分の濃度は 0.08 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 34】 請求項 20 記載の半導体集積回路装置の製造方法において、上記銅以外の成分の濃度は 0.05 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 35】 請求項 20 記載の半導体集積回路装置の製造方法において、上記銅以外の成分の濃度は 0.02 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 36】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も薄い部分の膜厚は 10 nm 未満であることを特徴とする半導体集積回路装置の製造方法。

【請求項 37】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も薄い部分の膜厚は 5 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 38】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も薄い部分の膜厚は 3 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 39】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 10 nm 未満であることを特徴とする半導体集積回路装置の製造方法。

【請求項 40】 請求項 20 記載の半導体集積回路装置

の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 5 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 41】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 3 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 42】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 2 nm 以下であるか、または上記導電性バリア膜自体が存在しないことを特徴とする半導体集積回路装置の製造方法。

【請求項 43】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝の幅は 0.4 μ m 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 44】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝の幅は 0.25 μ m 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 45】 請求項 20 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝の幅は 0.2 μ m 以下であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、銅を主導電層とする埋め込み配線を有する半導体集積回路装置の製造方法および半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置、半導体装置、電子回路装置または電子装置等を構成する配線の形成技術としては、絶縁膜上に、例えばアルミニウムまたはタングステン等のような導体膜を堆積した後、これを通常のフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることで配線を形成する技術が確立されている。

【0003】 しかし、上記配線形成技術においては、上記半導体集積回路装置等を構成する素子や配線の微細化に伴い、配線抵抗の増大が顕著となり、配線遅延が生じる結果、半導体集積回路装置等の性能をさらに向上させる上で限界が生じつつある。そこで、近年は、例えばダマシン (Damascene) と呼ばれる配線形成技術が検討されている。このダマシン法は、シングルダマシン (Single-Damascene) 法とデュアルダマシン (Dual-Damascene) 法とに大別できる。

【0004】 シングルダマシン法は、例えば絶縁膜に配線溝を形成した後、その絶縁膜上および配線溝内に配線形成用の主導電層を堆積し、さらに、その主導電層を、例えば化学的機械的研磨法 (CMP; Chemical Mechanical Polishing) によって配線溝内のみに残されるように研磨することにより、配線溝内に埋め込み配線を形成する方法である。

【0005】 また、デュアルダマシン法は、絶縁膜に配線溝および下層配線との接続を行うための接続孔を形成した後、その絶縁膜上、配線溝および接続孔内に配線形成用の主導電層を堆積し、さらに、その主導電層を CMP 等によって配線溝および接続孔内のみに残されるように研磨することにより、配線溝および接続孔内に埋め込み配線を形成する方法である。

【0006】 いずれの方法においても、配線の主導電層材料としては、半導体集積回路装置の性能を向上させる観点等から、例えば銅等のような低抵抗な材料が使用される。銅はアルミニウムよりも低抵抗で信頼性における許容電流が 2 桁以上大きいという利点を持つ。したがって、同じ配線抵抗を得るのに膜を薄くすることができるので、隣接する配線間の容量も低減できるからである。

【0007】 しかし、銅は、例えばアルミニウムやタングステン等のような他の金属と比較して絶縁膜中に拡散され易いとされている。このため、銅を配線材料として用いる場合、銅からなる主導電層の表面 (底面および側面)、すなわち、配線溝の内壁面 (側面および底面) に、銅の拡散を防止するための薄い導電性バリア膜を形成する必要性があるとされている。また、配線溝が形成された絶縁膜の上面上の全面に、上記埋め込み配線の上面を覆うように、例えば窒化シリコン膜等からなるキャップ膜を堆積することにより、埋め込み配線中の銅が、埋め込み配線の上面から絶縁膜中に拡散するのを防止する技術がある。

【0008】 なお、このような埋め込み配線技術については、例えば特開平 10-154709 号公報に記載があり、埋め込み型配線を、酸素濃度または硫黄濃度が 3 ppm 以下の高純度の銅とすることにより、銅の表面拡散性や流動性を促進させて、微細でアスペクト比の高いコンタクトホールに埋め込み性を向上させる技術が開示されている。

【0009】 また、例えば特開平 11-87349 号公報には、絶縁膜に配線溝および接続孔を形成した後、純度が 99.999 wt% (5N) 以上のターゲットを用いたスパッタリング法によって銅膜を形成する技術が開示されている。また、この公報には、銅の埋め込み性を容易にするため、配線溝および接続孔の表面に窒化チタン/チタン膜をバリア層として形成する技術が開示されている。

【0010】 また、例えば特開平 11-87509 号公

報または特開平 11-220023 号公報には、ビアの底面のバリア層を除去し、ビアの抵抗を低減する技術が開示されている。

【0011】また、例えば特開平 11-16912 号公報には、接続孔の底部から露出する配線部分に形成された酸化層を、還元性の雰囲気中において、熱、プラズマまたは紫外線照射処理を施すことにより、消失させる技術が開示されている。

【0012】

【発明が解決しようとする課題】ところが、本発明者らの検討結果によれば、上記銅を主導電層とする埋め込み配線を有する半導体集積回路装置技術においては、以下の課題があることを見出した。

【0013】すなわち、第 1 に、銅を主導電層とする埋め込み配線の寸法（配線の幅、厚さ、隣接配線の中心から中心までの距離および隣接配線の間隔）が微細化されるに連れて、配線断面積中に占める高抵抗の導電性バリア膜の断面積が相対的に大きくなる結果、埋め込み配線の抵抗が増大する問題がある。このため、性能向上のために配線材料として銅を用いたのにもかかわらず、半導体集積回路装置の性能向上が阻害される問題が生じる。

【0014】第 2 に、上記第 1 の問題を解決すべく、何ら技術的な処理を施すことなく、ただ単純にバリア膜を薄くしたりあるいは無くしたりすれば、配線抵抗の低減は図れるが、銅の拡散が生じ、互いに隣接する埋め込み配線間の絶縁破壊耐性が著しく低下する問題がある。このため、信頼性の高い半導体集積回路装置を提供することができなくなる問題が生じる。また、半導体集積回路装置の歩留まりが低下する結果、半導体集積回路装置のコストが高くなる問題が生じる。

【0015】第 3 に、銅を主導電層とする埋め込み配線上のキャップ膜として窒化シリコン膜を用いると、銅と窒化シリコン膜との界面にシリサイド物が形成され、その埋め込み配線の抵抗が増大する問題がある。また、このシリサイド物は、後述するように銅の拡散の主要な原因の 1 つであることが本発明者らの実験によって初めて見出された。このため、半導体集積回路装置の性能向上が阻害される問題がある。また、半導体集積回路装置の歩留まりおよび信頼性が大幅に低下する問題が生じる。

【0016】第 4 に、埋め込み配線の配線層と、その上層に形成された絶縁膜（例えば上記キャップ膜）との間に剥離が生ずる問題がある。このため、半導体集積回路装置の歩留まりおよび信頼性が大幅に低下する問題が生じる。

【0017】そこで、本発明の目的は、銅を主導電層とする埋め込み配線の抵抗を低減させることのできる技術を提供することにある。

【0018】また、本発明の他の目的は、銅を主導電層とする埋め込み配線間の絶縁破壊耐性を向上させることのできる技術を提供することにある。

【0019】また、本発明の他の目的は、銅を主導電層とする埋め込み配線の配線層とキャップ膜との密着性を向上させることのできる技術を提供することにある。

【0020】また、本発明の他の目的は、銅を主導電層とする埋め込み配線を有する半導体集積回路装置の信頼性を向上させることのできる技術を提供することにある。

【0021】また、本発明の他の目的は、銅を主導電層とする埋め込み配線を有する半導体集積回路装置の歩留まりを向上させることのできる技術を提供することにある。

【0022】また、本発明の他の目的は、銅を主導電層とする埋め込み配線を有する半導体集積回路装置の性能を向上させることのできる技術を提供することにある。

【0023】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0024】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0025】1. 本発明は、絶縁膜に形成された凹部内に導電性バリア層を介して埋め込まれた銅を主成分とする埋め込み配線層、上記絶縁膜および埋め込み配線層の上面を覆うように形成されたキャップ絶縁膜を有し、上記埋め込み配線層中の銅以外の成分の濃度は、半導体チップとして完成した時点において、0.8at.%以下とするものである。

【0026】2. 本発明は、上記項 1 において、上記凹部内の側壁部において、上記導電性バリア膜の最も厚い部分または最も薄い部分の膜厚は 10nm 未満とするものである。

【0027】3. 本発明は、上記項 1 において、上記凹部の側壁部において、上記導電性バリア膜の最も厚い部分または最も薄い部分の膜厚は 2nm 以下とするものである。

【0028】4. 本発明は、上記項 1 において、上記凹部内に、上記導電性バリア膜自体が存在しないものである。

【0029】5. 本発明は、上記項 1 において、上記凹部内に上記埋め込みメタル配線層が直接接しているものである。

【0030】6. 本発明は、半導体基板上に形成された絶縁膜に凹部を形成する工程、上記凹部内を含む絶縁膜上に導電性バリア膜を堆積する工程、上記凹部内を含む導電性バリア膜上に銅を主成分を有するメタル膜を堆積する工程、上記メタル膜および導電性バリア膜を除去することにより上記凹部内に導電性バリア膜を介して埋め込みメタル配線層を形成する工程を有し、上記半導体基板から形成された半導体チップの完成時点の上記埋め込

みメタル配線層における銅以外の成分の濃度が0.8 At. %以下であり、上記埋め込みメタル配線層を形成するために、銅を主成分とするメタル膜を形成した時点での前記メタル膜の銅の純度は99.999%以上とするものである。

【0031】7. 本発明は、上記項6において、上記メタル膜は、銅の純度が99.999%以上であるターゲットを用いたスパッタリング法によって形成するものである。

【0032】8. 本発明は、上記項6において、上記メタル膜は、銅の純度は99.999%以上であるターゲットを用いたスパッタリングによって形成するものである。

【0033】9. 本発明は、上記項6において、上記メタル膜を化学機械研磨法により除去して埋め込み配線層を形成した後、上記絶縁膜および埋め込み配線層の上面を、還元性を有する気体の雰囲気中でプラズマ処理する工程、前記プラズマ処理後の上記絶縁膜および埋め込みメタル配線層上にキャップ絶縁膜を形成する工程を有するものである。

【0034】10. 本発明は、上記項9において、上記還元性を有する気体の雰囲気は水素を主要な構成要素として含むものである。

【0035】11. 本発明は、上記項9において、上記還元性を有する気体の雰囲気は更に窒化作用を有するものである。

【0036】12. 本発明は、上記項9において、上記還元性を有する気体の雰囲気はアンモニアを主要な構成要素として含むものである。

【0037】13. 本発明は、上記項9において、上記メタル膜を除去して埋め込みメタル配線層を形成する工程は、砥粒フリー化学機械研磨で行われるものである。

【0038】14. 本発明は、上記項9において、上記銅以外の成分の濃度は0.02 At. %以下とするものである。

【0039】15. 本発明は、上記項9において、上記凹部内の側壁部において、上記導電性バリア膜の最も厚い部分または最も薄い部分の膜厚は10 nm未満とするものである。

【0040】16. 本発明は、上記項9において、上記凹部内の側壁部において、上記導電性バリア膜の最も厚い部分または最も薄い部分の膜厚は2 nm以下とするものである。

【0041】17. 本発明は、上記凹部を形成した後、上記導電性バリア膜を堆積する工程に先立って、前記半導体基板に対して、還元性を有する気体の雰囲気中でプラズマ処理する工程を有するものである。

【0042】18. 本発明は、半導体基板上に形成された絶縁膜に凹部を形成する工程、上記凹部を含む絶縁膜上に銅を主成分を有するメタル膜を導電性バリア膜を

介さずに堆積する工程、上記メタル膜を除去することにより上記凹部内に導電性バリア膜を介さずに埋め込みメタル配線層を形成する工程を有し、上記半導体基板から形成された半導体チップの完成時点の上記埋め込みメタル配線層における銅以外の成分の濃度が0.8 At. %以下であり、上記埋め込みメタル配線層を形成するために、銅を主成分とするメタル膜を形成した時点での前記メタル膜の銅の純度を99.999%以上とするものである。

【0043】19. 本発明は、半導体基板上の絶縁膜に凹部を形成する工程、上記凹部を含む絶縁膜上に導電性バリア膜を堆積する工程、上記凹部を含む導電性バリア膜上に銅を主成分とするメタル膜を堆積する工程、上記メタル膜および導電性バリア膜を除去することにより上記凹部内に導電性バリア膜を介して埋め込みメタル配線層を形成する工程、前記絶縁膜および埋め込みメタル配線層上にキャップ絶縁膜を形成する工程とを有するダマシン配線形成工程を有し、上記半導体基板から形成された半導体チップの完成時点の上記埋め込みメタル配線層における銅以外の成分の濃度を0.8 At. %以下とし、上記埋め込みメタル配線層を形成するために、銅を主成分とするメタル膜を形成した時点での前記メタル膜の銅の純度を99.999%以上とするものである。

【0044】20. 本発明は、半導体基板上の絶縁膜に埋め込み配線溝および接続孔を形成する工程、上記埋め込み配線溝および接続孔を含む絶縁膜上に導電性バリア膜を堆積する工程、上記埋め込み配線溝および接続孔を含む導電性バリア膜上に銅を主成分とするメタル膜を堆積する工程、上記メタル膜および導電性バリア膜を除去することにより上記埋め込み配線溝および接続孔内に導電性バリア膜を介して埋め込みメタル配線層を形成する工程、上記絶縁膜および埋め込みメタル配線層上にキャップ絶縁膜を形成する工程とを有するデュアルダマシン配線形成工程を有し、上記半導体基板から形成された半導体チップの完成時点の上記埋め込みメタル配線層における銅以外の成分の濃度を0.8 At. %以下とし、上記埋め込みメタル配線層を形成するために、銅を主成分とするメタル膜を形成した時点での前記メタル膜の銅の純度を99.999%以上とするものである。

【0045】21. 本発明は、上記項20において、上記埋め込み配線溝および接続孔を形成した後、上記導電性バリア膜を堆積する工程に先立って、上記半導体基板に対して、還元性を有する気体の雰囲気中でプラズマ処理する工程を有するものである。

【0046】22. 本発明は、上記項20において、上記メタル膜を化学機械研磨法により除去して埋め込み配線層を形成する工程の後、上記キャップ絶縁膜の形成工程の前に、上記絶縁膜および埋め込み配線層の上面を、還元性を有する気体の雰囲気中でプラズマ処理する工程を有するものである。

【0047】

【発明の実施の形態】本願発明の実施の形態を説明するにあたり、本願における用語の基本的な意味を説明すると次の通りである。

【0048】1. TDD B (Time Dependence on Dielectric Breakdown) 寿命とは、所定の温度（たとえば140℃）の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電界に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度（たとえば0.2MV/cm）に外挿して求めた時間（寿命）をいう。図85は、本願のTDD B寿命測定に使用した試料を示し、(a)は平面図、

(b)および(c)は(a)におけるB-B'線断面およびC-C'線断面を各々示す。この試料は実際には半導体ウエハのTEG (Test Equipment Group) 領域に形成できる。図示するように一対の櫛形配線Lを第2配線層M2に形成し、最上層のパッドP1、P2に各々接続する。この櫛形配線L間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。櫛形配線Lの配線幅、配線間隔、配線厚さは何れも0.5μmである。また配線対向長は1.58×10⁵μmとした。図86は、測定の概要を示した概念図である。試料は測定ステージSに保持され、パッドP1、P2間に電流電圧測定器(I/V測定器)を接続する。試料ステージSはヒータHで加熱され試料温度が140℃に調整される。図87は電流電圧測定結果の一例である。試料温度140℃、電界強度5MV/cmの場合を例示した。TDD B寿命測定には定電圧ストレス法と低電流ストレス法とがあるが、本願では絶縁膜に印加される平均電界が一定となる定電圧ストレス法を用いている。電圧印加の後、時間の経過とともに電流密度は減少し、その後急激な電流増加(絶縁破壊)が観測される。ここでは、リーク電流密度が1μA/cm²に達した時間をTDD B寿命(5MV/cmにおけるTDD B寿命)とした。なお、本願において、TDD B寿命とは、特に言及しない限り0.2MV/cmにおける破壊時間(寿命)をいうが、広義には所定の電界強度に言及したうえで破壊までの時間としてTDD B寿命の語を用いる場合もある。また、特に言及しない限り、TDD B寿命は、試料温度140℃の場合をいう。なお、TDD B寿命は前記の櫛形配線Lで測定した場合をいうが、実際の配線間の破壊寿命を反映することはいうまでもない。

【0049】2. プラズマ処理とは、プラズマ状態にある環境に基板表面、あるいは、基板上に絶縁膜、金属膜等の部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的(ボンバードメント)作用を表面に与えて処理することをいう。一般にプラズマは特定のガス(処理ガス)に置換した反応室内に必要な応じて処理ガスを補充しつつ、高周波電界等の作用によりガスを電離させて生成するが、現実には完全に処理ガ

スで置換することはできない。よって、本願では、たとえばアンモニアプラズマと称しても、完全なアンモニアプラズマを意図するものではなく、そのプラズマ内に含まれる不純物ガス(窒素、酸素、二酸化炭素、水蒸気等)の存在を排除するものではない。同様に、言うまでもないことであるが、プラズマ中に他の希釈ガスや添加ガスを含むことを排除するものではない。

【0050】還元性雰囲気中のプラズマとは、還元作用、すなわち、酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するプラズマ環境をいい、ラジカル、イオンには、原子あるいは分子状のラジカルあるいはイオンが含まれる。また、環境内には単一の反応種のみならず、複数種の反応種が含まれていても良い。たとえば水素ラジカルとNH₂ラジカルとが同時に存在する環境でもよい。

【0051】3. 本願でガスの濃度という場合には、質量流量における流量比を言うものとする。すなわち、ガスAとガスBとの混合ガスにおいて、ガスAの濃度が5%という時には、ガスAの質量流量をF_a、ガスBの質量流量をF_bとして、F_a/(F_a+F_b)=0.05のことをいう。

【0052】4. 化学機械研磨(CMP)とは、一般に被研磨面を相対的に軟らかい布様のシート材料などからなる研磨パッドに接触させた状態で、スラリを供給しながら面方向に相対移動させて研磨を行うことをいい、本願においてはその他、被研磨面を硬質の砥石面に対して相対移動させることによって研磨を行うCML (Chemical Mechanical Lapping)、その他の固定砥粒を使用するもの、及び砥粒を使用しない砥粒フリーCMPなども含むものとする。

【0053】砥粒フリー化学機械研磨は、一般に砥粒の重量濃度が0.5%以下のスラリを用いた化学機械研磨をいい、有砥粒化学機械研磨とは、砥粒の重量濃度が0.5%よりも高濃度のスラリを用いた化学機械研磨をいう。しかし、これらは相対的なものであり、第1ステップの研磨が砥粒フリー化学機械研磨で、それに続く第2ステップの研磨が有砥粒化学機械研磨である場合、第1ステップの研磨濃度が第2ステップの研磨濃度よりも1桁以上、望ましくは2桁以上小さい場合などには、この第1ステップの研磨を砥粒フリー化学機械研磨という場合もある。本明細書中において、砥粒フリー化学機械研磨と言うときは、対象とする金属膜の単位平坦化プロセス全体を砥粒フリー化学機械研磨で行う場合の他、主要プロセスを砥粒フリー化学機械研磨で行い、副次的なプロセスを有砥粒化学機械研磨で行う場合も含むものとする。

【0054】5. 研磨液(スラリ)とは、一般に化学エッチング薬剤に研磨砥粒を混合した懸濁液をいい、本願においては発明の性質上、研磨砥粒が混合されていないものを含むものとする。

【0055】また、砥粒（スラリー粒子）とは、一般にスラリーに含まれるアルミナ、シリカなどの粉末をいう。

【0056】6. 防食剤とは、金属の表面に耐食性、疎水性あるいはその両方の性質を有する保護膜を形成することによって、CMPによる研磨の進行を阻止または抑制する薬剤をいい、一般にベンゾトリアゾール（BT A）などが使用される（詳しくは特開平8-64594号公報参照）。

【0057】7. 導電性バリア膜とは、一般に銅が層間絶縁膜内や下層へ拡散するのを防止するために、埋め込み配線の側面または底面に比較的薄く形成される拡散バリア性の導電膜であり、一般に、窒化チタン（Ti N）、タンタル（Ta）、窒化タンタル（Ta N）等のような高融点金属またはその窒化物等が使用される。

【0058】8. 埋め込み配線または埋め込みメタル配線とは、一般にシングルダマシン(single damascene)やデュアルダマシン(dual damascene)などのように、絶縁膜に形成された溝などの内部に導電膜を埋め込んだ後、絶縁膜上の不要な導電膜を除去する配線形成技術によってパターンニングされた配線をいう。また、一般に、シングルダマシンとは、プラグメタルと、配線用メタルとの2段階に分けて埋め込む、埋め込み配線プロセスを言う。同様にデュアルダマシンとは、一般にプラグメタルと、配線用メタルとを一度に埋め込む、埋め込み配線プロセスを言う。一般に、銅埋め込み配線を多層構成で使用されることが多い。

【0059】9. 選択的除去、選択的研磨、選択的エッチング、選択的化学機械研磨というときは、いずれも選択比が5以上のものをいう。

【0060】10. 選択比について、「AのBに対する」（または「Bに対するAの」）選択比がXというときは、研磨レート为例にとった場合、Bに対する研磨レートを基準にしてAに対する研磨レートを計算したときにXになることをいう。

【0061】11. 本願において半導体集積回路装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、SOI (Silicon On Insulator) 基板やTFT (Thin Film Transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。また、ウエハとは半導体集積回路装置の製造に用いる単結晶シリコン基板（一般にほぼ円盤形）、SOS基板、ガラス基板その他の絶縁、半絶縁または半導体基板などやそれらを複合した基板をいう。

【0062】12. 半導体集積回路ウエハ（半導体集積回路基板）または半導体ウエハ（半導体基板）とは、半導体集積回路の製造に用いるシリコンその他の半導体単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。なお、基板表面の一

部または全部あるいはゲート電極の全部または一部を他の半導体、例えばSiGe等で形成しても良い。

【0063】また、半導体集積回路チップ（半導体集積回路基板）または半導体チップ（半導体基板）とは、ウエハ工程が完了した半導体ウエハを単位回路群に分割したものを言う。

【0064】13. シリコンナイトライド、窒化ケイ素または窒化シリコン膜というときは、 Si_3N_4 のみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0065】14. キャップ膜は、埋め込み配線の情報の電気的接続部以外に形成される絶縁性および拡散バリア性の高い絶縁膜で、一般に層間絶縁膜の主要部とは別の材料、例えば窒化シリコン膜で形成される。

【0066】15. ウエハプロセスとは、前工程とも呼ばれ、鏡面研磨ウエハ（ミラーウエハ）の状態から出発し、素子および配線形成工程を経て、表面保護膜を形成し、最終的にプローブにより電気的試験を行える状態にするまでの工程をいう。

【0067】16. 導電性バリア膜の配線溝（凹部）または接続孔（凹部）内におけるカバレッジは、サイドカバレッジと、ボトムカバレッジとを有している。図88は、絶縁膜60の上面およびその絶縁膜60に形成された配線溝61内に、バリア膜62をスパッタリング法で堆積した状態を模式的に示している。バリア膜のデポ膜厚という時は、一般的に絶縁膜60の上面上のバリア膜62の膜厚D1を言う。サイドカバレッジは、配線溝61内の側壁部（側面と底面との交差部における角部も含む）におけるバリア膜62の被覆性をいい、その部分での膜厚D2が最も膜厚が薄くなる。また、ボトムカバレッジは、配線溝61内の底面におけるバリア膜62の被覆性をいい、その部分での膜厚D3は上記デポ膜厚の次に厚くなる。例えば本発明者らの実験結果によれば、例えばアスペクト比が1の配線溝内に、バリア膜を指向性を特に考慮しない通常のスパッタリング法で堆積した場合においては、バリア膜のデポ膜厚が100nmで、サイドカバレッジが30nm程度、ボトムカバレッジが50nm程度であった。また、バリア膜をロングスロースパッタリング法により堆積した場合においては、バリア膜のデポ膜厚が100nmで、サイドカバレッジが20nm程度、ボトムカバレッジが90nm程度であった。

【0068】17. ロングスロースパッタリング (Long Throw Sputtering) 法とは、ボトムカバレッジ向上の一方法であって、スパッタリング粒子の垂直成分だけを基板に到達させるため、ターゲットと基板との間の距離を離し、低圧で安定放電させるスパッタリング法を言う。

【0069】18. コリメートスパッタリング法は、アスペクト比の大きな配線溝や接続孔等のような凹部に成膜する際、底部まで十分な膜厚が得られるように、ター

ゲットと基板との間に格子状の板を挿入し、強制的に垂直成分を高める機構を有するスパッタリング法を言う。

【0070】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0071】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0072】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0073】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0074】また、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0075】また、本実施の形態においては、電界効果トランジスタを代表するMISFET (Metal Insulator Semiconductor Field Effect Transistor) を単にMISと略し、pチャネル型のMISFETをpMISと略し、nチャネル型のMISFETをnMISと略す。

【0076】（実施の形態1）本実施の形態1においては、例えば本発明をCMOS (Complementary MOS) -LSI (Large Scale Integrated circuit) の製造方法に適用した場合を図1～図19によって工程順に説明する。

【0077】まず、図1に示すように、例えば1～10 Ωcm 程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板（以下、基板という）1に深さ350nm程度の素子分離溝2をフォトリソグラフィとドライエッチングを用いて形成した後、溝の内部を含む基板1上にCVD法で酸化シリコン膜3を堆積する。続いて溝の上部の酸化シリコン膜3を化学機械研磨（CMP）によってその表面を平坦化する。これにより、溝型の素子分離部2A（トレンチアイソレーション）を形成する。その後、基板1にp型不純物（ホウ素）およびn型不純物

（例えばリン）をイオン打ち込みすることによって、p型ウェル4およびn型ウェル5を形成した後、基板1をスチーム酸化することによって、p型ウェル4およびn型ウェル5の表面に膜厚6nm程度のゲート絶縁膜6を

形成する。なお、ここでいうゲート絶縁膜6の膜厚とは、二酸化シリコン換算膜厚であり、実際の膜厚と一致しない場合もある。

【0078】ゲート絶縁膜6は、酸化シリコン膜に代えて酸化シリコン膜で構成しても良い。酸化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜6のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。酸化シリコン膜を形成するには、例えば基板1をNO、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウェル4およびn型ウェル5のそれぞれの表面に酸化シリコンからなるゲート絶縁膜6を形成した後、基板1を上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜6と基板1との界面に窒素を偏析させることによって、上記と同様の効果を得ることができる。

【0079】また、ゲート絶縁膜6を、例えば窒化シリコン膜あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコンからなるゲート絶縁膜6を二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁耐圧の低下が顕在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができる。従って、ゲート絶縁膜6を単一の窒化シリコン膜あるいはそれと酸化シリコンとの複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができるので、トンネル漏れ電流の発生やホットキャリアによる絶縁耐圧の低下を改善することができる。また、酸化シリコン膜は、酸化シリコン膜に比べて不純物が貫通し難いので、ゲート絶縁膜6を酸化シリコン膜で構成することにより、ゲート電極材料中の不純物が半導体基板側に拡散することに起因するしきい値電圧の変動を抑制することができる。

【0080】ここで、単一絶縁膜または複合絶縁膜の二酸化シリコン換算膜厚（以下、単に換算膜厚ともいう） d_r とは、対象となる絶縁膜の比誘電率を ϵ_i 、その膜厚を d_i 、二酸化シリコンの比誘電率を ϵ_s としたときに、次式で定義される膜厚である。

【0081】

【数1】

数 1

$$dr = \sum \frac{\epsilon_i}{\epsilon_s} di$$

例えば酸化シリコン (SiO_2) および窒化シリコン (Si_3N_4) の誘電率は、それぞれ4〜4.2および8である。そこで、窒化シリコンの誘電率を酸化シリコンの誘電率の2倍として計算すると、例えば膜厚6nmの窒化シリコン膜の二酸化シリコン換算膜厚は3nmとなる。すなわち、膜厚6nmの窒化シリコン膜からなるゲート絶縁膜と膜厚3nmの酸化シリコン膜からなるゲート絶縁膜とは容量が等しい。また、膜厚2nmの酸化シリコン膜と膜厚2nmの窒化シリコン膜 (換算膜厚=1nm) との複合膜からなるゲート絶縁膜の容量は、膜厚3nmの単一酸化シリコン膜からなるゲート絶縁膜の容量と同じである。

【0082】次に、図2に示すように、ゲート絶縁膜6の上部に、低抵抗多結晶シリコン膜、WN (窒化タングステン) 膜およびW (タングステン) 膜からなるゲート電極7を形成する。多結晶シリコン膜はCVD法により、WN膜およびW膜はスパッタ法により形成できる。ゲート電極7は、これら堆積膜のパターニングにより形成する。ゲート電極7は、低抵抗多結晶シリコン膜上にWシリサイド膜またはコバルト (Co) シリサイド膜を堆積した積層膜などを使って形成しても良い。また、ゲート電極7の材料として多結晶または単結晶のシリコン (Si) とゲルマニウム (Ge) との合金を用いても良い。このようなゲート電極7を形成した後、イオン打ち込みすることによって、p型ウェル4に低不純物濃度のn⁺型半導体領域11を、n型ウェル5に低不純物濃度のp⁺型半導体領域12を形成する。

【0083】次に、図3に示すように、たとえば窒化シリコン膜をCVD法で堆積し、これを異方的にエッチングすることによって、ゲート電極7の側壁にサイドウォールスペーサ13を形成する。この後、イオン打ち込みすることによって、p型ウェル4に高不純物濃度のn⁺型半導体領域14 (ソース、ドレイン) を形成し、n型ウェル5に高不純物濃度のp⁺型半導体領域15 (ソース、ドレイン) を形成する。なお、n型不純物にはリンまたはヒ素を、p型不純物にはボロンを例示できる。その後、チタン、コバルト等の金属膜を堆積し、熱処理の後に未反応の金属膜を除去するいわゆるサリサイド法を用いて、n⁺型半導体領域14 (ソース、ドレイン) の表面およびp⁺型半導体領域15 (ソース、ドレイン) の表面にシリサイド層9を形成する。ここまでの工程で、nチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pが完成する。

【0084】次に、図4に示すように、基板1上にCV

D法で酸化シリコン膜18を堆積し、続いてフォトリソレジスト膜をマスクにして酸化シリコン膜18をドライエッチングすることにより、n⁺型半導体領域14 (ソース、ドレイン) の上部にコンタクトホール20を形成し、p⁺型半導体領域15 (ソース、ドレイン) の上部にコンタクトホール21を形成する。またこのとき、ゲート電極7の上部にもコンタクトホール22を形成する。

【0085】酸化シリコン膜18は、ゲート電極7、7の狭いスペースを埋め込むことのできるリフロー性の高い膜、例えばBPSG (Boron-doped Phospho Silicate Glass) 膜で構成する。また、スピン塗布法によって形成されるSOG (Spin On Glass) 膜で構成してもよい。

【0086】次に、コンタクトホール20、21、22の内部にプラグ23を形成する。プラグ23を形成するには、例えばコンタクトホール20、21、22の内部を含む酸化シリコン膜18の上部にCVD法でTiN膜およびW膜を堆積した後、酸化シリコン膜18の上部の不要なTiN膜およびW膜を化学機械研磨 (CMP) 法またはエッチバック法によって除去し、コンタクトホール20、21、22の内部のみにこれらの膜を残す。

【0087】次に、図5に示すように、酸化シリコン膜18の上部に第1層目の配線となるW配線24〜30を形成する。W配線24〜30を形成するには、例えば酸化シリコン膜18の上部にスパッタリング法でW膜を堆積した後、フォトリソレジスト膜をマスクにしてこのW膜をドライエッチングする。第1層目のW配線24〜30は、コンタクトホール20、21、22を通じてnチャネル型MISFETQ_nのソース、ドレイン (n⁺型半導体領域)、pチャネル型MISFETQ_pのソース、ドレイン (p⁺型半導体領域) あるいはゲート電極7と電気的に接続される。

【0088】次に、図6 (a)、(b) に示すように、第1層目のW配線24〜30の上部に酸化シリコン膜31を堆積し、続いてフォトリソレジスト膜をマスクにしたドライエッチングで酸化シリコン膜31にスルーホール32〜36を形成した後、スルーホール32〜36の内部にプラグ37を形成する。なお、図6 (a) は半導体基板の主面の要部平面図、(b) は (a) のA-A線の断面図である。

【0089】酸化シリコン膜31は、例えばオゾン (または酸素) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマCVD法で堆積する。また、プラグ37は、例えばW膜で構成し、前記コンタクトホール20、21、22の内部にプラグ23を形成した方法と同じ方法で形成する。

【0090】次に、図7 (a)、(b) に示すように、酸化シリコン膜31の上部にプラズマCVD法で膜厚50nmの薄い窒化シリコン膜38を堆積し、続いて窒化シリコン膜38の上部にプラズマCVD法で膜厚450

nm程度の酸化シリコン膜39を堆積する。その後、フォトレジスト膜をマスクにしたドライエッチングでスルーホール32~36の上部の酸化シリコン膜39および窒化シリコン膜38を除去し、配線溝40~44を形成する。なお、図7(a)は半導体基板の主面の要部平面図、(b)は(a)のA-A線の断面図である。

【0091】配線溝40~44を形成するには、まず窒化シリコン膜38をエッチングストップにして酸化シリコン膜39を選択的にエッチングし、その後、窒化シリコン膜38をエッチングする。このように、配線溝40~44が形成される酸化シリコン膜39の下層に薄い窒化シリコン膜38を形成しておき、この窒化シリコン膜38の表面でエッチングを一旦停止した後、窒化シリコン膜38をエッチングすることにより、配線溝40~44の掘り過ぎを生じることなく、その深さを精度良く制御することができる。

【0092】次に、上記配線溝40~44の内部に以下のような方法で第2層目の配線となる埋め込みCu配線を形成する。

【0093】まず、図8に示すように、配線溝40~44の内部を含む酸化シリコン膜39の上部にスパッタリング法で、薄いTiN(窒化チタン)膜45を堆積した後、TiN膜45の上部に配線溝40~44の深さよりも十分に厚い膜厚(例えば800nm程度)のCu膜46をスパッタリング法で堆積する。このTiN膜45およびCu膜46スパッタリング法としては、通常のスパッタリング法でも良いし、例えばロングスロースパッタリング法やコリメートスパッタリング法のような指向性の高いスパッタリング法でも良い。

【0094】続いて、例えば475℃程度の非酸化性雰囲気(例えば水素雰囲気)中で基板1を熱処理することによってCu膜46をリフローさせ、配線溝40~44の内部に隙間なくCu膜46を埋め込む。なお、ここでは、スパッタリング法によるCu膜46と、その後のリフローによる埋め込みを説明したが、薄いCu膜をスパッタリング法により形成し、その後、Cu膜46に相当する高純度のCu膜をメッキ法で形成しても良い。

【0095】TiN膜45は、Cuの拡散を防止する機能を有している。また、TiN膜45は、Cu膜46と酸化シリコン膜39との密着性を向上させる機能を有している。さらに、TiN膜45は、上記Cu膜46のリフロー時にCu膜46の濡れ性を向上させる機能を有している。

【0096】本実施の形態1においては、TiN膜45の最も厚い部分の厚さが50nmの場合を例示するが、本発明者らの検討結果によれば、このTiN膜45をさらに薄く、または、無くすることもできることが判明した。これについては、後の実施の形態6以降において説明する。

【0097】このような機能を有する膜としては、Ti

Nに代えて、Cuと殆ど反応しないWN、Ta₂N(窒化タンタル)などの高融点金属窒化物を用いることが好ましい。また、そのTiNに代えて、高融点金属窒化物にSi(シリコン)を添加した材料や、Cuと反応し難いTa、Ti、W、TiW合金などの高融点金属を用いることもできる。

【0098】次に、このようなCu膜46およびTiN膜45を上記CMP法等によって研磨する。この研磨工程に使用するCMP装置の全体構成の一例を図9に示す。

【0099】このCMP装置100は、上記Cu膜46の研磨に用いる枚葉式のCMP装置であり、表面にCu膜46が形成された基板1を複数枚収容するローダ120、Cu膜46を研磨、平坦化する研磨処理部130、研磨が終了した基板1の表面に防蝕処理を施す防蝕処理部140、防蝕処理が終了した基板1を後洗浄するまでの間、その表面が乾燥しないように維持しておく浸漬処理部150、防蝕処理が終了した基板1を後洗浄する後洗浄処理部160および後洗浄が終了した基板1を複数枚収容するアンローダ170を備えている。

【0100】図10に示すように、CMP装置100の研磨処理部130は、上部が開口された筐体101を有しており、この筐体101に取り付けられた回転軸102の上端部には、モータ103によって回転駆動される研磨盤(プラテン)104が取り付けられている。この研磨盤104の表面には、多数の気孔を有する合成樹脂を均一に貼り付けて形成した研磨パッド105が取り付けられている。

【0101】また、この研磨処理部130は、基板1を保持するためのウエハキャリア106を備えている。ウエハキャリア106を取り付けた駆動軸107は、ウエハキャリア106と一体となってモータ(図示せず)により回転駆動され、かつ研磨盤104の上方で上下動されるようになっている。

【0102】基板1は、ウエハキャリア106に設けられた真空吸着機構(図示せず)により、その主面すなわち被研磨面を下向きとしてウエハキャリア106に保持される。ウエハキャリア106の下端部には、基板1が収容される凹部106aが形成されており、この凹部106a内に基板1を収容すると、その被研磨面がウエハキャリア106の下端面とほぼ同一か僅かに突出した状態となる。

【0103】研磨盤104の上方には、研磨パッド105の表面と基板1の被研磨面との間に研磨スラリ(S)を供給するためのスラリ供給管108が設けられており、その下端から供給される研磨スラリ(S)によって基板1の被研磨面が化学的および機械的に研磨される。研磨スラリ(S)としては、例えばアルミナなどの砥粒と過酸化水素水または硝酸第二鉄水溶液などの酸化剤とを主成分とし、これらを水に分散または溶解させたもの

が使用される。

【0104】また、この研磨処理部130は、研磨パッド105の表面を整形（ドレッシング）するための工具であるドレッサ109を備えている。このドレッサ109は、研磨盤104の上方で上下動する駆動軸110の下端部に取り付けられ、モータ（図示せず）により回転駆動されるようになっている。

【0105】研磨が終了した基板1は、防蝕処理部140において、その表面に防蝕処理が施される。防蝕処理部140は、上記した研磨処理部130の構成と類似した構成になっており、ここでは、まず研磨盤（プラテン）の表面に取り付けた研磨パッドに基板1の主面が押し付けられて研磨スラリが機械的に除去された後、例えばベンゾトリアゾール（BTA）などの防蝕剤を含んだ薬液が基板1の主面に供給されることによって、基板1の主面に形成されたCu配線の表面部分に疎水性保護膜が形成される。

【0106】研磨スラリの機械的洗浄（前洗浄）は、例えば図11に示すように、水平面内で回転させた基板1の両面をPVA（ポリビニルアルコール）のような合成樹脂の多孔質体からなる円筒状のブラシ121A、121Bで挟み、ブラシ121A、121Bを基板1の面に対して垂直な面内で回転しながら基板1の両面を同時に洗浄する。また、前洗浄後の防蝕処理に際しては、必要に応じて純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピン洗浄などを防蝕処理に先行または並行して行うことにより、研磨処理部130で基板1の主面に付着した研磨スラリ中の酸化剤を十分に除去し、酸化剤が実質的に作用しない条件下で疎水性の保護膜を形成するようにする。

【0107】防蝕処理が終了した基板1は、その表面の乾燥を防ぐために、浸漬処理部150に一時的に保管される。浸漬処理部150は、防蝕処理が終了した基板1を後洗浄するまでの間、その表面が乾燥しないように維持するためのもので、例えば純水をオーバーフローさせた浸漬槽（ストッカ）の中に所定枚数の基板1を浸漬させて保管する構造になっている。このとき、Cu配線28～30の電気化学的腐蝕反応が実質的に進行しない程度の低温に冷却した純水を浸漬槽に供給することにより、Cu配線28～30の腐蝕をより一層確実に防止することができる。

【0108】基板1の乾燥防止は、例えば純水シャワーの供給など、少なくとも基板1の表面を湿潤状態に保持することのできる方法であれば、上記した浸漬槽中での保管以外の方法で行ってもよい。

【0109】後洗浄処理部160へ搬送された基板1は、その表面の湿潤状態が保たれた状態で直ちに後洗浄に付される。ここでは、酸化剤を中和するためにNH4OHを含む洗浄液などの弱アルカリ薬液を供給しながら、基板1の表面をスクラブ洗浄（またはブラシ洗浄）

した後、フッ酸水溶液を基板1の表面に供給してエッチングによる異物粒子（パーティクル）の除去を行う。また、上記のスクラブ洗浄に先行または並行して、基板1の表面を純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピン洗浄したり、基板1の裏面を純水スクラブ洗浄したりしてもよい。

【0110】上記後洗浄処理が終了した基板1は、純水リンスおよびスピンドライの後、乾燥した状態でアンローダ170に収容され、複数枚単位で一括して次工程へ搬送される。

【0111】なお、図12に示すように、防蝕処理が終了した基板1の表面乾燥を防ぐための浸漬処理部（ウェハ保管部）150を遮光構造にし、保管中の基板1の表面に照明光などが照射されないようにすることができる。これにより、光起電力効果による短絡電流の発生を防ぐようにできる。浸漬処理部150を遮光構造にするには、具体的には浸漬槽（ストッカ）の周囲を遮光シートなどで被覆することによって、浸漬槽（ストッカ）の内部の照度を少なくとも500ルクス以下、好ましくは300ルクス以下、さらに好ましくは100ルクス以下にする。

【0112】また、図13に示すように、研磨処理の直後、すなわちその表面に残った研磨スラリ中の酸化剤による電気化学的腐蝕反応が開始される前に直ちに乾燥処理部に搬送され、研磨スラリ中の水分が強制乾燥によって除去されてもよい。図13に示すCMP装置200は、表面にCu膜が形成された基板1を複数枚収容するローダ220、Cu膜を研磨、平坦化して配線を形成する研磨処理部230、研磨が終了した基板1の表面を乾燥させる乾燥処理部240、基板1を後洗浄する後洗浄処理部250および後洗浄が終了した基板1を複数枚収容するアンローダ260を備えている。このCMP装置200を使ったCu配線形成プロセスでは、研磨処理部230において研磨処理に付された基板1は、研磨処理の直後、すなわちその表面に残った研磨スラリ中の酸化剤による電気化学的腐蝕反応が開始される前に直ちに乾燥処理部240に搬送され、研磨スラリ中の水分が強制乾燥によって除去される。その後、基板1は、乾燥状態が維持されたまま後洗浄処理部250に搬送され、後洗浄処理に付された後、純水リンスおよびスピンドライを経てアンローダ260に収容される。この場合、研磨処理の直後から後洗浄が開始されるまでの間、基板1の表面が乾燥状態に保たれるために、電気化学的腐蝕反応の開始が抑制され、これにより、Cu配線の腐蝕を有効に防止することが可能となる。

【0113】このようなCMP法による研磨工程を経て、酸化シリコン膜39上のCu膜46およびTiN膜45を除去し、図14に示すように、配線溝40～44内にCu配線46a～46eを形成する。

【0114】次に、Cu配線46a～46eと酸化シリ

コン膜 39 の表面にプラズマ処理を施す。図 15 は、プラズマ処理に用いる処理装置の一例を示した断面図

(a) および平面図 (b) である。なお、このプラズマ処理については、本願発明者などによる特願平 11-226876 号に記載されている。

【0115】この処理装置には、ロードロック室 301 に 2 つの処理室 302 a、302 b とカセットインタフェイス 303 が取り付けられている。ロードロック室 301 内には基板 1 を搬送するロボット 304 を有する。ロードロック室 301 と処理室 302 a、302 b との間には、処理中にもロードロック室 301 内の高真空状態が保てるようにゲートバルブ 305 を有する。

【0116】処理室 302 a、302 b 内には基板 1 を保持するサセプタ 306、ガス流を整えるバッフル板 307、サセプタ 306 を支持する支持部材 308、サセプタ 306 に対向して配置されるメッシュ状の電極 309、バッフル板 307 にほぼ対向して配置された絶縁板 310 を有する。絶縁板 310 はサセプタ 306 と電極 309 の間以外の不必要な領域での寄生放電を抑制する作用がある。サセプタ 306 の裏面側には反射ユニット 311 内に設置されたランプ 312 が配置され、ランプ 312 を発した赤外線 313 が石英窓 314 を通過してサセプタ 306 および基板 1 に照射される。これにより基板 1 が加熱される。なお、基板 1 はサセプタ 306 上にフェイスアップで設置される。

【0117】処理室 302 a、302 b はその内部を高真空に排気することが可能であり、処理ガスおよび高周波電力がガスポート 315 から供給される。処理ガスはメッシュ状の電極 309 を通過して基板 1 の近傍に供給される。処理ガスは真空マニホールド 316 から排出され、処理ガスの供給流量および排気速度を制御することにより圧力が制御される。高周波電力は電極 309 に印加され、サセプタ 306 と電極 309 との間でプラズマを生成する。高周波電力はたとえば 13.56 MHz の周波数を用いる。

【0118】処理室 302 a では、たとえば次に説明するアンモニアプラズマ処理が行われる。また、処理室 302 b では、後に説明するキャップ膜（窒化シリコン膜）の堆積が行われる。処理室 302 a と処理室 302 b とはロードロック室 301 を介して接続されているため、アンモニアプラズマ処理の後に真空破壊することなく基板 1 を処理室 302 b に搬送することができ、アンモニアプラズマ処理とキャップ膜の形成を連続的に行うことができる。

【0119】次に、上記したプラズマ処理装置を用いて、基板 1 にアンモニアプラズマ処理を施す。カセットインタフェイス 303 から基板 1 がロボット 304 によりロードロック室 301 に搬入される。ロードロック室 301 を十分な減圧状態になるまで真空排気し、ロボット 304 を用いて処理室 302 a に基板 1 を搬送する。

処理室 302 a のゲートバルブ 305 を閉じ、処理室 302 a 内が十分な真空度になるまで排気した後、処理室 302 a にアンモニアガスを導入し、圧力調整を行って所定の圧力に維持する。その後、高周波電源から電極 309 に電界を印加し、図 16 に示すように、基板 1 の表面をプラズマ処理する。所定時間の経過後高周波電界を停止し、プラズマを停止する。その後、処理室 302 a 内を真空排気し、ゲートバルブ 305 を開いてロボット 304 により基板 1 をロードロック室 301 に搬出する。なお、ロードロック室 301 は高真空状態に維持されているため、基板 1 の表面が大気雰囲気中に曝されることがない。

【0120】プラズマ処理条件は、たとえば、基板 1 のサイズを 8 インチ (= 20 cm 程度) とした場合、処理圧力を 5.0 Torr (= 6.6661×10^2 Pa)、RF 電力を 600 W、基板温度を 400℃、アンモニア流量を 200 sccm、処理時間を 10 秒とすることができる。電極間距離は 600 mils とした。なお、プラズマ処理条件は、これら例示した条件に限られないのはもちろんである。本発明者らの検討では、圧力が高いほどプラズマダメージを低減でき、基板温度が高いほど TDDB 寿命の基板内ばらつきの低減と長寿命化がはかれる。また、基板温度が高く、RF 電力が大きく、処理時間が長いほど Cu の表面にヒロックが発生しやす、という知見が得られている。これらの知見と装置構成による条件のばらつきを考慮すると、処理圧力は 0.5~6 Torr (= $0.66661 \times 10^2 \sim 7.99932 \times 10^2$ Pa)、RF 電力は 300~600 W、基板温度は 350~450℃、アンモニア流量は 20~500 sccm、処理時間は 5~180 秒、電極間距離は 300~600 mils の範囲で設定することができる。

【0121】このように、Cu 配線 46 a~46 e と酸化シリコン膜 39 の表面にプラズマ処理を施すことにより、Cu 配線 46 a~46 e および酸化シリコン膜 39 の表面のごく薄い領域に各々の下地材料の窒化膜を形成することができる。これにより、次に説明するキャップ膜（窒化シリコン膜）と Cu 配線 46 a~46 e および酸化シリコン膜 39 との密着性が向上し、TDDB 寿命を著しく向上できる。この点は、本発明者らの実験結果の解析とともに後に詳しく説明する。

【0122】次に、ロボット 304 を用いて基板 1 を処理室 302 b に搬送する。処理室 302 b のゲートバルブ 305 を閉じ、処理室 302 b 内が十分な真空度になるまで排気した後、処理室 302 b にシラン (SiH₄)、アンモニア、窒素の混合ガスを導入し、圧力調整を行って所定の圧力に維持する。その後、高周波電源から電極 309 に電界を印加してプラズマを発生し、図 17 に示すように、Cu 配線 46 a~46 e および酸化シリコン膜 39 の表面に窒化シリコン膜 47 (キャップ

膜)を堆積する。所定時間の経過後高周波電界を停止しプラズマを停止する。その後、処理室302b内を真空排気し、ゲートバルブ305を開いてロボット304により基板1をロードロック室301に搬出する。さらに、ロボット304を用いてカセットインタフェース303に基板1を排出する。

【0123】窒化シリコン膜47の膜厚は、たとえば50nmとする。その後、第3層目の配線と第2層目の配線(Cu配線46a~46e)とを接続するプラグを形成するための酸化シリコン膜を形成し、前記したと同様の方法で、第3層目以降の埋め込みCu配線が形成される。図18は、上述したCu配線46a~46eの形成プロセスの全体フロー図である。

【0124】図19に第7層目の配線までを形成したCMOS-LSIの一例を示す。第1層目の配線(M1)は、前記した通りタングステン膜からなる。第1層目の配線の膜厚および配線ピッチ(隣接配線の中心から中心までの距離)は、例えば0.4μm程度または0.25μm程度である。

【0125】また、第2層配線(M2)から第5層配線(M5)までは、前記したCu配線の形成方法で製造する。第2層配線(M2)および第3層配線(M3)のTiN膜の厚さは、例えば0.05μm程度、Cu膜の厚さは、例えば0.35μm程度、配線幅および配線ピッチは、例えば0.5μm程度または0.25μm程度である。第4層配線(M4)および第5層配線(M5)のTiN膜の厚さは、例えば0.05μm程度、Cu膜の厚さは、例えば0.95μm程度、配線幅および配線ピッチは、例えば1.0μm程度または0.25μm程度である。

【0126】また、第6層配線(M6)は、例えばタングステン膜、アルミニウム膜およびタングステン膜の3層構成とされている。また、第7層配線(M7)は、例えばアルミニウム膜からなる。第7層配線(M7)のパッドには、バンプ電極が形成される、またはボンディングワイヤが接続されるが図示を省略している。なお、第7層配線(M7)をアルミニウムとタングステンとの積層膜で構成している理由の1つとして、その積層膜は、ダマシン配線構造を採用しない通常の半導体集積回路装置の最上層に使用しており、バンプ電極やボンディングワイヤとの接続上の信頼性を確保できることが経験的に実証されているからである。

【0127】第1層配線M1と第2層配線M2とを接続するスルーホール径の直径は、例えば0.45μm程度または0.25μm程度である。第2層配線M2と第3層配線M3とを接続するスルーホール径の直径は、例えば0.5μm程度または0.25μm程度である。第3層配線M3と第4層配線M4とを接続するスルーホール径の直径は、例えば0.5μm程度または0.25μm程度である。第4層配線M4と第5層配線M5とを接続する

スルーホール径の直径は、例えば1.0μm程度または0.25μm程度である。第5層配線M5と第6層配線M6とを接続するスルーホール径の直径は、例えば0.5μm程度または0.25μm程度である。

【0128】本実施の形態によれば、TDDDB寿命が大幅に改善される。図20は、本実施の形態の第2層配線M2(Cu配線46a~46e)と同層に形成されたTEGサンプルのTDDDB寿命を示すグラフであり、本実施の形態の場合のデータをラインAに示す。比較のためにアンモニアプラズマ処理をしない場合のTDDDB寿命データ(ラインRef)も同時に示す。図から明らかな通り、本実施の形態では、比較データと比べて約6桁の寿命向上が見られる。

【0129】図21は、本実施の形態で適用した酸化シリコン膜39をそれよりも緻密で強固な窒化シリコン膜に置き換えた場合のデータ(ラインB)を示す。絶縁膜を窒化シリコンに置き換えた場合であってもアンモニアプラズマ処理を施さなければ絶縁膜を酸化シリコン膜とした場合と何ら相違はない(ラインRef)。一方、窒化シリコン膜を絶縁膜に適用し、アンモニアプラズマ処理を施せば、本実施の形態以上にTDDDB寿命が向上する。しかし、その向上の割合は大きくなく、アンモニアプラズマ処理を行うことによる要因の方が支配的であることがわかる。これは、TDDDB寿命を支配する要因は絶縁膜のバルクよりは、その界面が支配的であることを示している。

【0130】そこで、本発明者らは、アンモニアプラズマ処理によりTDDDB寿命が向上する機構を解析するために銅と酸化シリコン膜の表面分析を行った。以下に解析の結果を説明する。

【0131】図22~図24は、Cu配線表面のXPS(X-ray Photo-electron Spectroscopy)分析の結果を示したグラフである。各図の(a)、(c)はCu2pの分光結果を示し、(b)、(d)はN1sの分光結果を示す。

【0132】図22(a)、(b)はアズデポ状態のCu膜表面を分析した結果である。Cu2pのピークが観察され、N1sのピークはノイズレベルであることから、アズデポ状態のCu膜には窒素は存在しないことがわかる。図22(c)、(d)は、Cu膜にCMPのみを施した直後のCu配線表面を分析した結果である。Cu2pのピークとともにN1sのピークが観察される。前記した通りスラリーにはBTAが含まれるため、Cu表面に残留したBTA内の窒素を観察しているものと推察できる。図23(a)、(b)は、CMP後に後洗浄まで行った状態のCu配線表面を分析した結果である。Cu2pピークに変化は見られないが、N1sピークが低下している。洗浄によりBTAが除去されたと考えられる。図23(c)、(d)は、後洗浄後大気雰囲気にて24時間放置した状態のCu配線表面を分析した結果であ

る。 $\text{Cu } 2p$ のピークとともに CuO のピークが観察される。 $\text{N } 1s$ ピークには放置による変化は見られない。放置により Cu 表面が酸化され、 CuO が生成していることがわかる。

【0133】このように酸化された Cu 配線にアンモニアプラズマ処理を施した状態の Cu 配線表面を分析した結果が図24(a)、(b)である。 CuO のピークはほぼ消失している。一方、 $\text{N } 1s$ ピークは強く生じている。 Cu 表面が還元されて酸素が引き抜かれているとともに表面が窒化されていると考えられる。比較のため、酸化された Cu 配線に 350°C の水素熱処理を施した状態の Cu 配線表面を分析した。結果は図24(c)、

(d)である。 $\text{Cu } 2p$ ピークについて、図24(c)と図24(a)とを比較すれば、よりアズデポ状態(図22(a))に近いことから、水素熱処理の方が還元性は強いと考えられる。一方、 $\text{N } 1s$ ピークはほとんど観察されないことから、水素熱処理では Cu 表面が還元されるのみである。

【0134】以上の結果から、アンモニアプラズマ処理により Cu 配線46a~46eの表面は還元されるとともに窒化層が形成されてことがわかる。この窒化層は、アンモニアプラズマ処理の後に窒化シリコン膜を堆積する際の原料ガスに含まれるシランと銅との反応を防止し、銅のシリサイドの形成を抑制する働きを有すると考えられる。シリサイド形成の防止は配線抵抗の増加を抑制する効果がある。

【0135】図25は、酸化シリコン膜表面のXPS分析を行った結果を示すグラフであり、図26および図27は、酸化シリコン膜の質量分析(TDS-APIMS)を行った結果を示すグラフである。酸化シリコン膜の分析においては、CMP後に洗浄まで行った状態(プロファイルC)、CMP後洗浄後に水素プラズマ処理を行った状態(プロファイルD)、CMP後洗浄後にアンモニアプラズマ処理を行った状態(プロファイルE)、CMP後洗浄後に窒素プラズマ処理を行った状態(プロファイルF)について分析した。なお、プロファイルCの1eV程度の高エネルギー方向へのずれはチャージアップの影響によるものである。

【0136】図25(a)、(b)はともに $\text{Si } 2p$ スペクトルを観察したデータであり、(a)は10nm程度の深さを、(b)は2nm程度の深さを分析したものである。図25(c)、(d)、(e)は各々 $\text{N } 1s$ 、 $\text{O } 1s$ 、 $\text{C } 1s$ スペクトルを観察したデータである。

【0137】図25(b)から、水素プラズマ処理(プロファイルD)の低エネルギー側(102eV付近)にブロードなピークが見られる。これは Si-H 結合が存在すると考えられ、水素プラズマ処理により酸化シリコン膜表面に Si-H が形成されると推察される。

【0138】図25(a)から、アンモニアプラズマ処理(プロファイルE)と窒素プラズマ処理(プロファイ

ルF)の105eVのピークが低エネルギー側に広がった非対称なピークになっている。非対称部分のピーク(103.5eV)は Si-O-N 結合と考えられる。アンモニアプラズマ処理および窒素プラズマ処理により酸化シリコン膜の表面が窒化されていると推察される。また、図25(a)と(b)との比較から、窒化は表面でより強くされていると考えられる。アンモニアプラズマ処理および窒素プラズマ処理による窒化は、図25(c)でも確認できる。

【0139】図25(e)から、水素プラズマ処理(プロファイルD)では炭素はほとんど検出されない。水素プラズマ処理により表面の有機物が除去されていることがわかる。また、CMP後(プロファイルC)の289eVのピークは C-O 結合と考えられる。CMP後ではスラリが残留していると考えられる。

【0140】図25(f)は、 Si ピークと N ピークとからそれらの存在比を求め、 N 量を推定した値を示す。アンモニアプラズマ処理と窒素プラズマ処理とではほぼ同等の窒化がなされていると考える。

【0141】図26(a)、(b)、(c)、(d)は各々質量数41(Ar-H)、質量数27(C_2H_3)、質量数57(C_4H_9)、質量数59($\text{C}_3\text{H}_7\text{O}$)を測定したグラフである。また、図27(a)、(b)、(c)、(d)は各々質量数28(Si 、 C_2H_4)、質量数44(SiO 、 C_3H_6)、質量数29(SiH 、 C_2H_5)、質量数31(SiH_3)を測定したグラフである。

【0142】図26(a)から、プラズマ処理による水素の脱離量の相違はほとんどないが、水素プラズマ処理(プロファイルD)の脱離温度が他の場合(560°C)と比較して 520°C と低いことがわかる。

【0143】図26(a)、(b)、(c)から、各プロセスとも有機物の脱離が見られる。一方、図27

(a)~(d)から、有機物の脱離以外のピークの存在が見られる。すなわち、 $300\sim 400^\circ\text{C}$ のピークは各々、 Si 、 SiO 、 SiH 、 SiH_3 と思われる。各図を比較すると、水素、アンモニア、窒素の各プラズマ処理で、 SiO の脱離は見られるが、アンモニアプラズマ処理では SiH 、 SiH_3 の脱離はほとんど観察されない。すなわち、アンモニアプラズマ処理では Si-O-N が形成され、比較的低いエネルギーで容易に脱離する。また、脱離に必要なエネルギーは窒素プラズマ処理の場合が最も高く、水素プラズマ処理とアンモニアプラズマ処理とではほぼ同じと言える。

【0144】これらの結果から、酸化シリコン膜表面のダングリングボンドの原因となる Si-OH や Si-O は、アンモニアプラズマ処理により、弱い結合の Si-O-N で終端されると考えられる。アンモニアプラズマ処理の後の窒化シリコン膜の成膜において、ごく表面の Si-O-N が脱離し、バルクの Si-O 結合と窒化

シリコン膜のSi-Nとが強固に結合し、連続的な界面を形成する。これが界面の密着性を向上する機構と考えられる。一方、アンモニアプラズマ処理を行わない場合には、そもそもSi-OH結合の多い酸化シリコン膜の表面と窒化シリコン膜の原料ガスであるアンモニアとが縮合反応し、ダングリングボンドの原因であるSi-O結合が多数発生していると考えられる。酸化シリコン膜と窒化シリコン膜との界面に多数のダングリングボンドが存在すれば、そこはリークパスを形成することとなり配線間のリーク電流、ひいては絶縁破壊の原因となっていると考えられる。

【0145】以上の分析結果から、アンモニアプラズマ処理により、酸化されたCu配線の表面は還元されてCu単元素に変換され、イオン化されたCuよりも電氣的に安定な状態になり、かつ、酸化シリコン膜/窒化シリコン膜界面は連続的な強固な膜になることから、リーク電流が減少し、TDDB寿命も大幅に向上すると考えられる。

【0146】本発明者らはアンモニアプラズマ処理を行った場合と、行わなかった場合について、配線層と窒化シリコン膜（キャップ膜）との界面のTEM写真を撮影した。その結果、アンモニアプラズマ処理を行った本実施の形態の場合は、その界面に薄い被膜の存在が確認できた。その薄い被膜は、前記した窒化層であると考えられる。一方、アンモニアプラズマ処理を行わない場合は、そのような被膜は確認できない。

【0147】また、本実施の形態では、Cu配線の抵抗を低減できる。図28は、各種の処理を行った場合の配線抵抗の測定結果である。処理無し（プラズマ処理なし）とアンモニアプラズマ処理をした場合とでは、他の場合（水素プラズマ処理、水素アニール、窒素プラズマ処理）と比較して有意に低い値となっている。図29および図30は、これら各処理を施した場合のCu配線とキャップ膜（窒化シリコン膜）との界面を観察したTEM写真のトレース図面である。

【0148】処理無しとアンモニアプラズマ処理の場合（図29）では界面に特異ものは見られないが、水素アニール、窒素プラズマ処理の場合（図30）では界面に銅のシリサイド（CuSi）層が形成されている。このシリサイド層が抵抗増加の原因と思われる。このようなシリサイド層は、窒化シリコン膜の形成の際のシランガスとの反応で形成されるが、アンモニアプラズマ処理を行っている場合にはCu表面にごく薄い窒化膜が形成されており、この窒化膜がシリサイド化のブロッキング層として機能していると考えられる。一方、水素アニール等、単に銅表面を還元するのみでは活性なCu表面が露出してシリコンとの反応が促進されるため、シリサイド層が生成され易いと考えられる。また、水素プラズマ処理（図30（c））の場合には、界面に何らかの生成物が見られる。ただし、多くの場合にはそのような生成物

が形成されない場合もあり、水素プラズマ処理の場合にはシリサイド化の程度は小さいと考えられる。

【0149】上記した分析結果から、TDDB寿命の劣化機構として、以下のようなモデルが考えられることが本発明者らの検討結果によって初めて見出された。図31（a）は、TDDB劣化のメカニズムの概略図を示し、（b）はそのエネルギーバンドを示している。すなわち、本実施の形態のアンモニアプラズマ処理を施さない場合には、Cu配線の表面には、その後の表面プロセスに影響され、酸化銅（CuO）が形成され、また、キャップ膜（窒化シリコン膜47）の形成の際に銅シリサイド（Cu化合物）が形成される。このような酸化銅あるいは銅シリサイドは、純粋な銅と比較してイオン化され易く、このようなイオン化された銅は配線間の電界によりドリフトされ、配線間の絶縁膜に拡散される。

【0150】また、銅配線を埋め込んで形成する絶縁膜（酸化シリコン膜39）とキャップ膜（窒化シリコン膜47）との界面は、本実施の形態のアンモニアプラズマ処理を施さない場合には、CMPダメージ、有機物またはダングリングボンドが多く形成され、不連続であり、密着性にも乏しい。このようなダングリングボンドの存在は銅イオンの拡散を助長する作用を有し、銅イオンは界面に沿ってドリフトされ拡散する。すなわち、配線間の前記界面にリークパスが形成される。リークパスを流れるリーク電流は、長時間のリーク作用と電流による熱ストレスも加わり、その後加速的に電流値が増加して絶縁破壊に至る（TDDB寿命の低下）。

【0151】これに対し、図32（a）、（b）は、上記アンモニアプラズマ処理を施した場合のTDDB向上のメカニズムの概略図およびそのエネルギーバンドを示している。本実施の形態においては、Cu配線46a～46eの表面にアンモニアプラズマ処理を施すため、Cu配線46a～46e表面の酸化層は還元されて消失し、Cu配線46a～46eの表面に薄い窒化層が形成されるため窒化シリコン膜47の形成の際に銅シリサイドが形成されない。このため、リークおよび絶縁破壊の原因となる銅イオンを支配的に供給する原因物質を生じなくすることができる。また、本実施の形態では、酸化シリコン膜39の表面にアンモニアプラズマ処理を施すため、窒化シリコン膜47との接続を連続的にし、ダングリングボンドの密度を低減してリークパスの形成を抑制できる。また、酸化シリコン膜39の表面を清浄な状態にできる。したがって、本実施の形態においては、TDDB寿命低下の原因となる銅イオンの発生を抑制し、かつ、銅の拡散を抑制できるような酸化シリコン膜39と窒化シリコン膜47との接合界面を形成できる。これによりTDDB寿命を向上できるのである。

【0152】また、前記した解析から、水素プラズマ処理でもTDDB寿命を向上できると考えられる。すなわち、水素プラズマ処理により、Cu表面は還元され、S

i-O-等のダングリングボンドや、その原因となるSi-OHがSi-Hで終端される。そして、窒化シリコン膜の形成の際に、結合の弱い表面のSi-Hが離脱し、Si-Nで置換される。これにより連続的な酸化シリコン膜と窒化シリコン膜の界面が形成される。ただし配線抵抗は前記の通り増加する。

【0153】図33は、水素プラズマ処理を行った場合のTDD寿命のデータを示したグラフである。参考にラインRef（処理無し）とラインA（アンモニアプラズマ処理）を示した。水素プラズマ処理（ラインC）では、TDD寿命が格段に向上することがわかる。水素プラズマ処理の場合にはプラズマダメージが軽減されることが期待されるので、キャップ膜として窒化シリコン膜にかわる他の材料であってCuとの反応生成物を生じないような材料が適用できるときにはきわめて有効である。なお、窒素プラズマ処理（ラインD）ではTDD寿命がかえって低下する。図26、27からもわかるように、窒素プラズマ処理によってかえって有機物の付着が増加していることに起因すると思われる。

【0154】本実施の形態では、さらに、Cu配線46a~46eおよび酸化シリコン膜39とキャップ膜47との接着性が向上しているため、界面の剥離強度が増し、マージンが大きくなるという効果もある。

【0155】なお、アンモニア、水素の単一ガスに限られず、窒素、アルゴン、ヘリウム等の不活性ガスとの混合ガスプラズマで処理しても良い。すなわち、アンモニアと水素、窒素、アルゴンまたはヘリウムとの混合ガス、あるいは、水素とアンモニア、窒素、アルゴンまたはヘリウムとの混合ガスでも良い。さらに、これらのガスから選択された3元素、4元素等多元素の混合ガスであっても良い。このとき、水素、アンモニア、あるいは水素とアンモニアとの和は、総流量（質量流量）に対して5%以上混合されていることが必要である。

【0156】（実施の形態2）本発明の他の実施の形態であるCMOS-LSIの製造方法を図34~図43を用いて工程順に説明する。

【0157】本実施の形態の製造方法は、実施の形態1における図1~図8までの工程については同様である。すなわち、Cu膜の堆積工程までは同じである。そこで、以下、CMP工程以降の工程を説明する。

【0158】図34は、埋め込みCu配線の形成に用いるCMP装置の全体構成の一例を示す概略図である。

【0159】図示のように、CMP装置400は、研磨処理部401とその後段に設けられた後洗浄部402とによって構成されている。研磨処理部401には、ウエハ（基板）1の研磨処理を行う2台の定盤（第1定盤403A、第2定盤403B）、研磨処理が終わった基板1を予備洗浄し、その表面に防食処理を施すクリーン・ステーション404、基板1をローダ406、第1定盤403A、第2定盤403B、クリーン・ステーション

404、アンローダ407間に移動させる回転アーム405などが設置されている。

【0160】研磨処理部401の後段には予備洗浄が終わった基板1の表面をスクラブ洗浄する後洗浄部402が設けられている。後洗浄部402には、ローダ408、第1洗浄部409A、第2洗浄部409B、スピンドライヤ410、アンローダ411などが設置されている。また、後洗浄部402は、洗浄中の基板1の表面に光が照射するのを防ぐために、全体が遮光壁430で囲まれ、内部が180ルクス、好ましくは100ルクス以下の暗室状態となっている。これは、表面に研磨液が付着した基板1に湿润状態で光が照射されると、シリコンの光起電力によってpn接合に短絡電流が流れ、pn接合のp側（+側）に接続されたCu配線の表面からCuイオンが解離して配線腐食を引き起こすからである。

【0161】図35に示すように、第1定盤403Aは、その下部に設けられた駆動機構412によって水平面内で回転駆動する。また、第1定盤403Aの上面には多数の気孔を有するポリウレタンなどの合成樹脂を均一に貼り付けて形成した研磨パッド413が取り付けられている。第1定盤403Aの上方には、駆動機構414によって上下動および水平面内で回転駆動するウエハキャリア415が設置されている。基板1は、このウエハキャリア415の下端部に設けられたウエハチャック416およびリテーナリング417によって、その主面（被研磨面）を下向きにして保持され、所定の荷重で研磨パッド413に押し付けられる。研磨パッド413の表面と基板1の被研磨面との間にはスラリー供給管418を通じてスラリー（研磨液）Sが供給され、基板1の被研磨面が化学的および機械的に研磨される。また、第1定盤403Aの上方には、駆動機構419によって上下動および水平面内で回転駆動するドレッサ420が設置されている。ドレッサ420の下端部にはダイヤモンド粒子を電着した基材が取り付けられており、研磨パッド413の表面は、研磨砥粒による目詰まりを防ぐために、この基材によって定期的に切削される。なお、第2定盤403Bは、2本のスラリー供給管418a、418bが設けられている点を除き、第1定盤403Aとほぼ同様の構成になっている。

【0162】上記CMP装置400を使ってCu配線を形成するには、ローダ406に収容された基板1を回転アーム405を使って研磨処理部401に搬入し、まず図36に示すように、第1定盤403Aの上において、砥粒を含まないスラリーを使用した化学機械研磨（砥粒フリー化学機械研磨）（第1ステップのCMP）を行い、前記配線溝40~44の外部のCu膜46を除去する（図37）。

【0163】ここで砥粒フリー化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5

重量%以下の研磨液（スラリー）を使用した化学機械研磨を意味し、研磨液としては、特に砥粒の含有量が0.1重量%以下のものが好ましく、0.05重量%以下あるいは0.01重量%以下のものはさらに好ましい。

【0164】また、研磨液としては、Cuの腐食域に属するようにそのpHが調整されたものが使用され、さらにTiN膜45（バリア層）に対するCu膜46の研磨選択比が少なくとも5以上となるようにその組成が調整されたものが使用される。このような研磨液として、酸化剤と有機酸とを含んだスラリーを例示することができる。酸化剤としては、過酸化水素、水酸化アンモニウム、硝酸アンモニウム、塩化アンモニウムなどを例示することができ、有機酸としては、クエン酸、マロン酸、フマル酸、リンゴ酸、アジピン酸、安息香酸、フタル酸、酒石酸、乳酸、コハク酸などを例示することができる。これらのうち、過酸化水素は金属成分を含まず、かつ強酸ではないため、研磨液に用いて好適な酸化剤である。また、クエン酸は食品添加物としても一般に使用されており、毒性が低く、廃液としての害も低く、臭いもなく、水への溶解度も高いため、研磨液に用いて好適な有機酸である。本実施の形態では、例えば純水に5体積%の過酸化水素と0.03重量%のクエン酸とを加え、砥粒の含有量を0.01重量%未満にした研磨液を使用する。

【0165】上記研磨液で化学機械研磨を行うと、まずCu表面が酸化剤によって酸化され、表面に薄い酸化層が形成される。次に酸化物を水溶性化する物質が供給されると上記酸化層が水溶液となって溶出し、上記酸化層の厚さが減る。酸化層が薄くなった部分は再度酸化性物質に晒されて酸化層の厚が増し、この反応を繰り返して化学機械研磨が進行する。なお、このような砥粒フリーの研磨液を使用した化学機械研磨については、本願発明者などによる日本特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0166】研磨の条件は、一例として荷重=250g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、米国ロデール(Rodel)社の硬質パッド(IC1400)を使用する。研磨の終点は、Cu膜46が除去されて下地のTiN膜45が露出した時点とし、終点の検出は、研磨対象がCu膜46からTiN膜45になったときに変化する定盤またはウエハキャリアの回転トルク信号強度を検出することによって行う。また、研磨パッドの一部に穴を開け、ウエハ表面からの光反射スペクトル変化に基づいて終点を検出したり、スラリーの光学的スペクトル変化に基づいて終点を検出したりしてもよい。

【0167】図37に示すように、上記の砥粒フリー化学機械研磨を行うことにより、配線溝40~44の外部のCu膜46は殆ど除去されて下層のTiN膜45が露出するが、図38(a)、(b)に拡大して示すよう

に、下地段差に起因して生じたTiN膜45の窪み（矢印で示す）などには、この研磨では除去しきれなかったCu膜46が残存する。

【0168】次に、配線溝40~44の外部のTiN膜45とその上面に局所的に残ったCu膜46とを除去するために、基板1を、上記図34~図36に示した第1定盤403Aから第2定盤403Bに移し、砥粒を含む研磨液（スラリー）を使用した化学機械研磨（有砥粒化学機械研磨）（第2ステップのCMP）を行う。ここで、有砥粒化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5重量%よりも多いの研磨液を使用した化学機械研磨を意味する。本実施の形態では、研磨液として純水に5体積%の過酸化水素、0.03重量%のクエン酸および0.5重量%の砥粒を混合したものを使用するが、これに限定されるものではない。この研磨液は、前記のスラリー供給管418aを通じて第2定盤403Bの研磨パッド413に供給される。

【0169】また、この有砥粒化学機械研磨においては、TiN膜45の上面に局所的に残ったCu膜46の除去に引き続いて、配線溝40~44の外部のTiN膜45を除去する。そこで、TiN膜45（バリア層）に対するCu膜46の研磨選択比が前記砥粒フリー化学機械研磨のそれよりも低い条件、例えば選択比3以下の条件で研磨を行い、配線溝40~44の内部のCu膜46の表面が研磨されるのを抑制する。

【0170】研磨の条件は、一例として荷重=120g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、ロデール社のIC1400を使用する。研磨量はTiN膜45の膜厚相当分とし、研磨の終点は、TiN膜45の膜厚および研磨速度から算出した時間によって制御する。

【0171】図39に示すように、上記の有砥粒化学機械研磨を行うことにより、配線溝40~44の外部のTiN膜45は殆ど除去されて下層の酸化シリコン膜39が露出するが、図40(a)、(b)に拡大して示すように、下地段差に起因して生じた酸化シリコン膜39の窪み（矢印で示す）などには、上記の研磨で除去しきれなかったTiN膜45が残存する。

【0172】次に、配線溝40~44の内部のCu膜46の研磨を可能な限り抑制しつつ、配線溝40~44の外部の酸化シリコン膜39上に局所的に残ったTiN膜45（バリア層）を除去するための選択的化学機械研磨（第3ステップのCMP）を行う。この選択的化学機械研磨は、Cu膜46に対するTiN膜45の研磨選択比が少なくとも5以上となる条件で行う。また、この化学機械研磨は、Cu膜46の研磨速度に対する酸化シリコン膜39の研磨速度の比が1よりも大きくなる条件で行う。

【0173】上記選択的化学機械研磨を行うには、一般

に前記有砥粒化学機械研磨で使用したような0.5重量%よりも多いの砥粒を含有する研磨液に防食剤を添加したものを使用する。防食剤とは、Cu膜46の表面に耐食性の保護膜を形成することによって研磨の進行を阻止または抑制する薬剤をいい、ベンゾトリアゾール(BTA)、BTAカルボン酸などのBTA誘導体、ドデシルメルカプタン、トリアゾール、トリルトリアゾールなどが使用されるが、特にBTAを使用した場合に安定な保護膜を形成することができる。

【0174】防食剤としてBTAを使用する場合、その濃度はスラリの種類にもよるが、通常は0.001~1重量%、より好ましくは0.01~1重量%、さらに好ましくは0.1~1重量%(3段階)の添加で十分な効果が得られる。本実施の形態では、研磨液として前記第2ステップの有砥粒化学機械研磨で使用した研磨液に防食剤として0.1重量%のBTAを混合したものを使用するが、これに限定されるものではない。また、防食剤の添加による研磨速度の低下を避けるために、ポリアクリル酸、ポリメタクリル酸、これらのアンモニウム塩またはエチレンジアミン四酢酸(EDTA)などを必要に応じて添加してもよい。なお、このような防食剤を含むスラリを使用した化学機械研磨については、本願発明者などによる特願平10-209857号、特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0175】この選択的化學機械研磨(第3ステップのCMP)は、前記の有砥粒化学機械研磨(第2ステップのCMP)が終了した後、引き続いて図34~図36に示したCMP装置の第2定盤403Bの上で行われる。防食剤を添加した研磨液は、前記のスラリ供給管418bを通じて研磨パッド413の表面に供給される。研磨の条件は、一例として荷重=120g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリ流量=190cc/minとする。

【0176】図41および図42(a)、(b)に示すように、上記の選択的化學機械研磨を行うことにより、配線溝40~44の外部のTiN膜45がすべて除去され、配線溝40~44の内部に埋め込みCu配線46a~46eが形成される。

【0177】埋め込みCu配線46a~46eの形成が完了した上記基板1の表面には、砥粒などのパーティクルやCu酸化物などの金属粒子を含んだスラリ残渣が付着している。そこで、このスラリ残渣を除去するために、まず、前記図34に示すクリーン・ステーション404においてBTAを含む純水で基板1を洗浄する。このとき、洗浄液に800kHz以上の高周波振動を加えて基板1の表面からスラリ残渣を遊離させるメガソニック洗浄を併用してもよい。次に、表面の乾燥を防ぐために基板1を湿润状態に保持した状態で研磨処理部401から後洗浄部402に搬送し、第1洗浄部409Aにお

いて0.1重量%のNH₄OHを含む洗浄液を用いたスクラブ洗浄を行い、続いて第2洗浄部409Bにおいて純水を用いたスクラブ洗浄を行う。前記のように、後洗浄部402は、洗浄中の基板1の表面に光が照射することに起因してCu配線46a~46eに腐食が発生するのを防ぐため、全体が遮光壁430で覆われている。

【0178】上記スクラブ洗浄(後洗浄)が完了した基板1は、スピンドライヤ410で乾燥された後、次工程へ搬送される。その後の工程は実施の形態1と同様である。図43は、上述したCu配線46a~46eの形成プロセスの全体フロー図である。

【0179】本実施の形態によれば、実施の形態1の場合よりさらにTDD B寿命を向上できる。図44は本実施の形態の場合のTDD B寿命を示したグラフである。本実施の形態の場合のデータはラインEで示している。参考のため、処理無し(ラインRef)と有砥粒の化学機械研磨の場合(実施の形態1)のデータ(ラインA)を同時に示している。なお、アンモニアプラズマ処理を行わず、砥粒フリーの化学機械研磨のみを行っただけでもラインFに示すようにTDD B特性が改善する。このように砥粒フリーの場合にTDD B寿命が向上するのは酸化シリコン膜に与えるダメージを低減できるためと考えられる。有砥粒の場合、スラリには2~3μmの粒径(2次粒径)の砥粒(アルミナ等)が含まれる。この砥粒によりマイクロスクラッチが生じ、酸化シリコン膜39の表面にダメージを与える。しかし、砥粒フリーの場合にはスラリに砥粒が含まれず、あるいは含まれていてもごく少数であるため、ダメージを大幅に軽減できる。このため、TDD B特性が改善されたものと考えられる。

【0180】なお、次の実施の形態で説明する酸処理(HF処理)を組み合わせると、さらにTDD B特性が改善する(ラインG)。酸処理は、CMP後洗浄後、さらに酸性水溶液(たとえばHF水溶液)で基板1を処理し、その後アンモニアプラズマ処理を行うものである。酸処理により表面のダメージ層が除去されて界面の密着性が向上しTDD B寿命が改善したのと考えられる。

【0181】(実施の形態3)図45は、本実施の形態3のCu配線46a~46eの形成プロセスの全体フロー図である。同図に示すように、HFまたはクエン酸による洗浄工程を挿入した以外は実施の形態1と同様である。

【0182】HF洗浄は、たとえばブラシスクラブ洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件が選択できる。

【0183】あるいはHF洗浄に代えてクエン酸洗浄を用いても良い。クエン酸洗浄は、たとえばブラシスクラブ洗浄を用い、クエン酸濃度を5%、洗浄時間を45秒の条件が選択できる。

【0184】このようにHFまたはクエン酸洗浄を用い

ることにより、CMP等で生じた表面のダメージ層を除去することができる。これによりTDDDB寿命を向上できる。図46は、本実施の形態の場合のTDDDB寿命を示したグラフである。本実施の形態の場合のクエン酸を適用したデータはラインH、HF洗浄を適用したデータはラインIで示している。参考のため、処理無し(ラインRef)と実施の形態1のデータ(ラインA)を同時に示している。なお、アンモニアプラズマ処理を行わず、HF洗浄のみを行っただけでもラインJに示すようにTDDDB特性が改善する。これは、ダメージ層の除去により界面の特性を向上できたためと思われる。

【0185】(実施の形態4)図47～図49は、本発明の実施の形態4である半導体集積回路装置の製造方法を示した平面図および断面図である。図47～図49においては配線部のみ示している。

【0186】図47に示すように、絶縁膜501上に配線形成用の絶縁膜502を形成し、この絶縁膜502に埋め込んで銅配線503を形成する。銅配線503の形成方法は実施の形態1～3と同様である。

【0187】さらに、窒化シリコン膜504、低誘電率の酸化シリコン膜505およびTEOSを原料ガスに用いてプラズマCVD法により形成した酸化シリコン膜(TEOS酸化膜)506を形成する。

【0188】低誘電率の酸化シリコン膜505は、例えば水素シルセスキオキサン(Hydrogen Silsesquioxane)を原料とする無機系SOG膜、テトラアルコキシシラン(tetra alkoxy silane) + アルキルアルコキシシラン(alkyl alkoxy silane)を原料とする有機系SOG膜といった塗布型絶縁膜や、プラズマCVD法で成膜するフロロカーボンポリマー膜など、比誘電率(ϵ)が3.0以下の酸化シリコン系絶縁膜によって構成する。このような低誘電率の酸化シリコン膜を用いることによって配線間寄生容量を低減し、配線遅延の問題を回避できる。

【0189】次に、図48(a)に示すようなパターンで、図48(b)に示すように、接続孔507を開口する。接続孔507の開口にはフォトリソグラフィとエッチングを用いる。ところで、低誘電率の酸化シリコン膜505は、表面が粗な膜構造を有し、Si-OH結合を多く有する。このためその上層に形成する膜の膜質や界面状態が良くないことは経験的に判明している。また、次工程で説明するバリア膜(窒化チタン)をそのまま未処理で成膜するとTDDDB特性が良くないことも経験的に判明している。そこで、次に、実施の形態1で説明したアンモニアプラズマ処理を接続孔507内部の酸化シリコン膜505露出部に施す。これにより、表面のSi-OH結合が改質されて、実施の形態1で説明したようにSi-O-N結合に転換される。

【0190】次に、図49に示すように、接続孔507内に窒化チタンおよびタングステンからなるプラグ508を形成する。この窒化チタンの堆積の際、実施の形態

1と同様にSi-O-N結合が離脱し、窒化チタンと低誘電率の酸化シリコン膜505との界面が改善され接着性が向上する。

【0191】なお、このような接続孔内のプラズマ処理は、配線溝にも適用できることはもちろんである。

【0192】また、アンモニアプラズマ処理に代えて水素プラズマ処理、窒素、アルゴン、ヘリウム等が混合されたプラズマ処理であっても良い。

【0193】なお、接続孔507の開口後にフォトリジスト膜を除去するためのアッシング工程に置いて、接続孔507底部の配線503の表面が酸化される場合がある。このような酸化層を除去する技術として、特開平11-16912号公報に記載の技術がある。

【0194】また、低誘電率の酸化シリコン膜505は、パッシベーション膜として形成される保護膜に含まれる酸化シリコン膜(たとえばTEOS酸化膜)の誘電率よりも低い誘電率を有する酸化シリコン膜と定義できる。

【0195】(実施の形態5)上記した埋め込みCu配線46a～46eの形成方法は、デュアルダマシン法を用いた埋め込みCu配線の形成に適用することもできる。この場合は、第1層目のW配線24～30を形成した後、まず、図50に示すように、第1層目のW配線24～30の上部にプラズマCVD法で膜厚1200nm程度の酸化シリコン膜31、膜厚50nm程度の薄い窒化シリコン膜38および膜厚350nm程度の酸化シリコン膜39を順次堆積する。

【0196】次に、図51に示すように、フォトリジスト膜をマスクにしたドライエッチングで第1層目のW配線24、26、27、29、30の上部の酸化シリコン膜39、窒化シリコン膜38および酸化シリコン膜31を順次除去した後、図52(a)、(b)に示すように、別のフォトリジスト膜をマスクに用い、窒化シリコン膜38をエッチングのストップしたドライエッチングで酸化シリコン膜39を除去することによって、スルーホールを兼ねた配線溝50～54を形成する。

【0197】次に、図53に示すように、配線溝50～54の内部を含む酸化シリコン膜39の上部に膜厚50nm程度の薄いTiN膜45を堆積した後、TiN膜45の上部に配線溝50～54の深さよりも十分に厚い膜厚のCu膜46を堆積する。スルーホールを兼ねた配線溝50～54は、前記配線溝40～44に比べてアスペクト比が大きいため、TiN膜45はCVD法で堆積する。また、Cu膜46はスパッタリングを2回以上繰り返すことによって堆積する。また、CVD法、電解メッキ法あるいは無電解メッキ法で形成してもよい。メッキ法でCu膜46を形成する場合には、配線溝50～54の下層にCuのシード層をスパッタリング法などで形成する工程が必要となる。

【0198】次に、図54に示すように、前述した砥粒

フリー化学機械研磨、有砥粒化学機械研磨および選択的化学機械研磨によって配線溝50～54の外部のCu膜46とTiN膜45とを除去し、配線溝50～54の内部に埋め込みCu配線46a～46eを形成する。その後の工程は、前記シングルダマシン法を用いた埋め込みCu配線46a～46eの形成方法と同じである。

【0199】（実施の形態6）前記したように、Cuを配線材料に用いた場合は、TDD B寿命が、他の金属材料（たとえばアルミニウム、タングステン）よりも著しく短くなることが一般的に知られている。ここで、図5、5は、Cu配線、アルミニウム配線、タングステン配線のTDD B特性を測定したデータを示すグラフである。縦軸にTDD B寿命を横軸に電界強度を割り当てている。

【0200】アルミニウム配線の特性（データA）およびタングステン配線の特性（データB）を外挿すると、電界強度が0.2MV/cm（通常使用状態）におけるTDD B寿命は、本発明者らの開発目標である 3×10^8 sec（10年）を優に越える。一方、Cu配線の特性（データC）を外挿すると、10年の開発目標に対してほとんどマージンのない状態であることがわかる。

【0201】この試験において、アルミニウム配線は、被膜の堆積とフォトリソグラフィを用いたパターンニングにより形成しているが、タングステン配線は、Cu配線と同様にダマシン法を用いて形成している。すなわち、Cu配線とタングステン配線の相違は材料のみであり、構造上の相違はない。それにもかかわらずTDD B特性の顕著な相違があることは、配線材料の相違に起因することが示唆される。なお、ここでのTDD B特性は140℃の温度下で行ったデータを示している。

【0202】このようなTDD B寿命の劣化原因は、配線材料に適用されたCuが周辺に拡散し、これが配線間の絶縁耐圧を低下させると一般には考えられている。したがって、Cu配線の実用化に際しては、Cuの拡散を防止するためのバリア膜が必須と考えられている。しかし、配線の微細化に連れて、配線断面積中に占める高抵抗のバリア膜の断面積が増加することにより配線抵抗が増加する結果、配線材料として銅を適用したメリットが薄れるという問題が発生する。

【0203】そこで、本発明者らは、銅の拡散現象について改めて実験を行い検討した。その結果、本発明者らは、前記したように銅の拡散現象について本質的なメカニズムを初めて見出した。すなわち、配線中の銅は原子状の銅よりも、酸化銅あるいは銅シリサイドから供給されるイオン化銅が配線間の電位でドリフトし拡散する要因が支配的である。また、銅の拡散経路は銅配線が形成された絶縁膜とキャップ膜との界面が支配的である。すなわち、銅配線の表面に酸化銅あるいは銅シリサイドが形成され、これら銅の化合物から銅イオンが形成され、イオン化された銅が配線形成用絶縁膜とキャップ膜との

界面に沿って配線間電界によりドリフトして拡散し、この拡散した銅原子がリーク電流を増加させる原因になる。そして、そのリーク電流の増加は熱ストレスを増加させ、最終的にリークパスで絶縁破壊が生じてTDD B寿命に至る。

【0204】図56は、前記各種の表面処理（アンモニアプラズマ処理、水素プラズマ処理、水素アニール処理、窒素プラズマ処理）および処理なし時のCu配線中のSiの含有量を示したグラフである。なお、この検査結果は、前記Cu配線（TiN膜（バリア膜）を含む）の形成工程、前記洗浄工程、前記各種の表面処理工程、前記キャップ膜の形成工程および前記層間絶縁膜の形成工程後に行った検査により作成されたものである。また、酸素や硫黄等のような他の不純物においてもSiと同じような結果が得られると考えられる。

【0205】各種の表面処理におけるCuシリサイドは、前記したように主としてキャップ膜（窒化シリコン等）の成膜時のセッフローによるものである。この検査時点における水素アニール処理および窒素プラズマ処理においては、アンモニアプラズマ処理や水素プラズマ処理に比較して、Cu配線の表面近傍（ $d = 10 \sim 60$ nm程度）および内部（ $d = 90 \sim 300$ nm程度）におけるSiの含有量が多い。特に、表面近傍において極めて多いことが分かる。これらの処理では、前記図33に示したように、TDD B特性が悪かった。

【0206】一方、この検査時点におけるアンモニアプラズマ処理や水素プラズマ処理においては、水素アニール処理および窒素プラズマ処理に比較して、Cu配線の表面近傍および内部におけるSiの含有量が少ない。特に、表面近傍におけるSiの含有量が極めて少ない。すなわち、これらの処理では、Cu配線における不純物の含有量が少ない上、配線溝が形成された絶縁膜の表面の清浄度が高く、また、配線溝が形成された絶縁膜の表面のダングリングボンド等が少ない。したがって、前記図33に示したように、TDD B特性が良好であった。このようにTiN膜（導電性バリア膜）がある場合において、TDD B特性は、界面の影響のみで決定される。

【0207】このような新しい見地から本発明者らは、配線溝内の側壁部および底部にイオン化されていない中性Cuを成膜すること（銅の純度を上げること）、前記アンモニアプラズマ処理または水素プラズマ処理を施すこと、あるいはこれらと前記CMP処理または前記洗浄処理等とを組み合わせることにより、バリア膜の膜厚を10nm未満に薄くしても、あるいは、バリア膜自体を無くしてしまっても、Cu配線を有する半導体集積回路装置のTDD B寿命を向上させることができることを初めて見出した。

【0208】ここで、図57に配線抵抗（ $TiN \cdot x$ （膜厚）nm/ $TiN \cdot 50$ nm比）のTiN膜（バリア膜）厚の依存性を示す。同図は、配線幅が、例えば

0.4 μm 程度および1.0 μm 程度、配線溝の深さが、例えば0.4 μm 程度の溝形状に対して、配線抵抗の実測値と理論値（計算値）とを示している。なお、TiN膜の膜厚は、配線溝の底部の膜厚とする。

【0209】この図57から、TiN膜（バリア膜）の厚さが薄くなるに連れて配線抵抗も減少し、計算値と実測値とがほぼ一致することが分かる。したがって、TiNの膜厚が、50 nmの場合の配線抵抗と比較し、TiN膜が無い場合は、配線幅が0.4 μm 程度の場合で19%、配線幅が1.0 μm 程度の場合で15%程度、配線抵抗を大幅に低減できる。また、TiN膜の膜厚が10 nm程度の場合でも、配線幅が0.4 μm 程度の場合で16%、配線幅が1.0 μm 程度の場合で12%程度、配線抵抗を低減できることが分かる。

【0210】また、図58に、Cu配線をロングスロースパッタリング法によって形成した場合におけるTDD B特性のTiN膜依存性を示す。同図からTiN膜の膜厚が10~50 nm程度のTDD B特性は前述しているのと同様であることが分かる。一方、TiN膜が無い場合の試料のTDD B特性は、TiN膜が10~50 nm程度のTDD B特性に比べて、傾きが緩くなるが新制度目標（例えば0.2 MV/cm、110°C、10年=3×10⁸秒）を十分に越えることが分かる。

【0211】また、図59に、TiN膜が無い場合およびTiN膜の厚さが10 nm程度で形成した場合における各々のCu配線における熱処理の有無によるTDD B特性を示す。同図から、TiN膜が無い試料でも、例えば400°C、3時間の熱処理でTDD B特性が劣化しないことが分かる。

【0212】この図58および図59の評価結果から、TiN膜が無い場合、すなわち、Cuのみで配線を構成した場合でも充分は信頼度を達成することができ、実用的なCu配線を形成することが可能であることが本発明者らの実験によって初めて判明した。

【0213】次に、本実施の形態6の半導体集積回路装置の配線構造の具体的な一例を図60に示す。図60は、半導体集積回路装置の一部（第1層配線と第2層配線部分）を抜き出して示した断面図であり、(a)はシングルダマシン法によって形成された箇所、(b)はデュアルダマシン法によって形成された箇所をそれぞれ示している。なお、窒化シリコン膜47上には、酸化シリコン膜48が堆積されている。また、同図(b)においては、酸化シリコン膜31aおよびW配線27上に窒化シリコン膜49を介して酸化シリコン膜31bが堆積されている。そして、その酸化シリコン膜31bおよび窒化シリコン膜49には、W配線27の上面の一部が露出されるようなスルーホール34が形成されている場合が例示されている。また、以下の説明においては、説明を容易にするために、第1層配線と第2層配線部分のみを抜き出して説明するが、本発明は、その部分のみに適用

されることに限定されるものではなく、他の配線層部分に適用することも可能である。

【0214】配線の幅（配線溝42の幅）および隣接配線間隔（隣接配線の互いに対向する側面から側面までの距離）は、例えば0.4 μm 以下である。本発明者らが検討している配線幅および隣接配線間隔は、例えば0.25 μm 以下、あるいは0.2 μm 以下の配線構造を有する半導体集積回路装置である。配線溝42のアスペクト比は、例えば1である。

【0215】また、TiN膜45で例示される導電性バリア膜の厚さは、例えば10 nm未満、好ましくは6~7 nm程度である。本実施の形態6においては、そのTiN膜45の膜厚を、例えば5 nm以下、またはそれよりも薄い3 nm以下、あるいはさらに薄い2 nm程度としてもTDD B特性を向上させることができた。ここで言うTiN膜45の厚さは、最も薄く被着される面部分を指している。すなわち、ここでは、前述したように配線溝（配線溝42等）または接続孔（スルーホール34等）内のTiN膜45の膜厚において側壁部が最も薄く被着されることから、その側壁部のTiN膜45の厚さのことを指している。そして、さらに、その場合に、例えば次の2通りの構造がある。1つは、配線溝や接続孔内の側壁部（溝や孔の底部角を含む）において、TiN膜45が最も薄い部分の厚さが、上記厚さ（例えば10 nm未満、好ましくは6~7 nm程度、5 nm以下、3 nm以下、または2 nm程度）である。他の1つは、配線溝や接続孔内の側壁部において、TiN膜45の最も厚い部分の厚さが、上記厚さ（例えば10 nm未満、好ましくは6~7 nm程度、5 nm以下、3 nm以下、または2 nm程度）である。

【0216】上記のように厚さ10 nm未満のTiN膜45を形成したことにより、TiN膜45の方が、酸化シリコン膜39との密着性がCu膜よりも良いので、CMP処理時にCu膜46が剥離するのを防止できる。また、TiN膜45を設けない場合（後の実施の形態8で説明）に比べて配線抵抗は上昇するものの、信頼性の高いCu配線構造を実現できる。また、TiN膜45を設けない場合に比べてTDD B特性を向上させることができる。これは、TiN膜45が無い場合、Cu膜46の成膜時にCuが配線溝42の側壁部に衝突しSiO₂と反応する結果、Cuイオンが僅かに発生するためと考えられる。熱処理後であってもTDD B特性は劣化しないことから、その僅かなCu/SiO₂界面のCuイオン層が影響していると考えられる。したがって、本実施の形態によれば、僅か10 nm未満のTiN膜45でもイオン化したCuに対してバリアとなり、TDD B特性を向上させることができると考えられる。

【0217】また、Cu配線46cで例示されるCu配線のCu以外の成分の濃度は、0.8原子%（atomic %またはAt. %）以下または0.2 atomic

%以下である。また、本発明者らの実測結果では、そのCu以外の成分の濃度を、例えば0.08 atomic %以下、または、それよりも低い0.05 atomic %以下、あるいはそれよりもさらに低い0.02 atomic %以下にすることが可能であった。このCu以外の成分の濃度の値は、半導体チップが完成した時点、すなわち、ウエハプロセスを経て半導体ウエハから半導体チップが切り出された時点での値であって、そのCu以外の成分が、Cu配線形成後の絶縁膜や金属膜の成膜処理時等の熱（例えばタングステン等では成膜時に450℃程度の熱が加わる）によってCu配線中に拡散したことを想定して算出した値である。実際のCu配線において、そのCu以外の成分は、Cu配線の上層部（キャップ膜が接する部分）の濃度が高く、Cu配線の中心に向かって次第に薄くなるような状態で分布していると考えられる。そのCu以外の成分としては、例えばシリコン、酸素、硫黄（硫黄はCu配線をメッキ法で形成した場合に考えられる）またはそれらの任意の組合せがある。

【0218】また、酸化シリコン膜31a, 31b, 31, 39, 48等に代えて、層間絶縁膜の材料を、例えばSiOF、有機SOG（Spin On Glass）またはPSG（Phospho Silicate Glass）膜としても良い。SiOFや有機SOG膜等のような誘電率の低い絶縁材料で構成した場合、配線容量を低減できるので、半導体集積回路装置のさらに性能を向上させることが可能となる。また、PSG膜を用いた場合、Cuの拡散を防止する機能を有するので、TDD寿命をさらに向上させることが可能となる。したがって、半導体集積回路装置の信頼性をさらに向上させることが可能となる。

【0219】次に、このようなシングルダマシン法によるCu配線構造の形成方法の一例を図61～図65によって説明する。なお、図61～図65の各々の(a)は、半導体集積回路装置の製造工程中の要部平面図を示し、(b)は各図(a)のA-A線の断面図を示している。また、図61～図64の(a)は平面図であるが、図面を分かり易くするために金属膜にハッチングを付す。

【0220】まず、前記実施の形態1等で説明した図1～図6の工程を経た後、図7を用いた説明と同様にして図61に示すように、配線溝42を形成する。配線溝42の底面からはプラグ37の上面が露出している。続いて、図62に示すように、例えばTa膜45a（導電性バリア膜）を、例えばデポ膜厚で30nm程度、前記実施の形態1と同様のスパッタリング法等によって堆積する。この際、配線溝42の側壁部には、最も厚い箇所、または、最も薄い箇所、例えば10nm未満以下、6～7nm程度のTa膜45aが被着される。なお、ここでは、導電性バリア膜をTaとしているが、前記したのと同様に、TiNやその他に例示した膜でも良

い。

【0221】その後、Ta膜45a上に、Cu膜46を、例えばデポ膜厚で300nm程度、前記実施の形態1と同様のスパッタリング法によって堆積する。この際の条件は、例えば次の通りである。圧力は、例えば0.02Pa、直流(DC)パワーは、例えば10kW、ターゲットと基板1との距離は、例えば300～400mm、温度は、例えば室温である。

【0222】このように本実施の形態においては、Cu膜46をスパッタリング法によって堆積することにより、CVD法やメッキ法に比べて、化合物の生成を非常に少なくすることができる。また、その際のターゲットとして、例えば99.999%（5N）以上、好ましくは、99.9999%（6N）以上の純度の高い無酸素Cuを用いた。これにより、例えば成膜時のCu膜46のCuの濃度を99.999%以上、好ましくは、99.9999%以上にできる。したがって、さらに純度の高いCuを堆積できる。

【0223】Ta膜45aおよびCu膜46の堆積に際しては、通常のスパッタリング法でも良いが、ロングスロースパッタリング法やコリメートスパッタリング法等のような指向性の高いスパッタリング法を用いても良い。その場合、配線溝42への金属膜のカバレッジを向上させることができる。

【0224】次いで、水素アニール処理を施す。これにより、Cu膜46を配線溝42内に良好に埋め込む。その際の条件は、例えば475℃、3分、26.6644×10²Pa、500sccm程度である。

【0225】続いて、Cu膜46およびTa膜45aを、図63に示すように、前記実施の形態1、2で説明したのと同様のCMP法等によって研磨し余分な部分を除去することにより、Cu配線46cを形成する。続いて、前記実施の形態1、2で説明したのと同様の防食プロセスおよび前記実施の形態1～3で説明したのと同様の洗浄処理を施す。その後、図64の網掛けのハッチングで示すように、絶縁膜39およびCu配線46cの表面に対して、前記実施の形態1で説明したアンモニアプラズマ処理または水素プラズマ処理を施す。

【0226】アンモニアプラズマ処理を施した場合には、酸化シリコン膜39の表面部分に、SiH結合およびSiN結合が形成される結果、酸化シリコン膜39の表面部分の膜質、清浄度および電気的な安定性を向上でき、Cuの拡散防止性能を向上させることが可能となる。また、前記実施の形態1で説明したように、キャップ膜との接着性を向上させることも可能となる。また、Cu配線46cの表面部分においては、CuNが形成され、そのCuNが、後の工程でシリコンや酸素の結合を阻止するように作用する結果、銅シリサイドや酸化銅の形成を防止でき、銅の純度を向上させることが可能となる。したがって、Cuの拡散を防止でき、TDD寿命

を向上させることが可能となる。また、Cuの純度が高いので半導体チップとして完成された状態においてCu配線の抵抗を目的通りに下げることができる。このため、半導体集積回路装置の性能を向上させることが可能となる。

【0227】一方、水素プラズマ処理を施した場合には、酸化シリコン膜39の表面部分で、SiH結合が形成される結果、アンモニアプラズマ処理の場合とほぼ同じ効果が得られた。また、本発明者らの実験結果によれば、水素プラズマ処理においては、その後のキャップ膜の形成工程においてCuが数%程度のシリコンと反応するが、水素アニール、窒素プラズマ処理あるいは無処理の場合に比べて、リーク電流を大幅に低減することができ、TDD寿命を向上させることが可能であった。また、Cu配線の抵抗は、アンモニアプラズマ処理に比べれば劣るものの、水素アニールまたは窒素プラズマ処理の場合に比べて低下させることができた。

【0228】その後、図65に示すように、窒化シリコン膜(キャップ膜)47を前記実施の形態1等と同様に堆積する。その後、図60(a)に示したように、窒化シリコン膜47上に、例えばTEOS(Tetraethoxysilane)ガスを用いたプラズマCVD法等によって酸化シリコン膜48を堆積する。

【0229】次に、デュアルダマシン法によるCu配線構造の形成方法の一例を図66～図77によって説明する。なお、図66～図77の各々の(a)は、半導体集積回路装置の製造工程中の要部平面図を示し、(b)は各図(a)のA-A線の断面図を示している。また、図73～図76の(a)は平面図であるが、図面を分かり易くするために金属膜にハッチングを付す。

【0230】まず、前記実施の形態1等で説明した図1～図5の工程を経て、前記実施の形態5の図50の工程を経た後、図66に示すように、酸化シリコン膜39上に、反射防止膜65を塗布し、その上にフォトレジストパターン66を形成する。フォトレジストパターン66は、例えば平面円形状の孔を形成するためのマスクパターンであり、通常のフォトリソグラフィ技術によって形成されている。続いて、図67に示すように、フォトレジストパターン66をマスクとして、そこから露出する反射防止膜65をドライエッチング法によってエッチング除去した後、さらに、酸化シリコン膜39、窒化シリコン膜38および酸化シリコン膜31bをドライエッチング法によってエッチング除去することにより、スルーホール34を形成する。この酸化シリコン膜39、窒化シリコン膜38および酸化シリコン膜31bのエッチング処理では、最初、非選択で行い、途中から、酸化シリコン膜と窒化シリコン膜とのエッチング選択比を大きくし、酸化シリコン膜の方が窒化シリコン膜よりもエッチング除去され易い条件でエッチングする。これにより、窒化シリコン膜49をエッチングストップとしてスルー

ホール34を穿孔する。したがって、この段階では、スルーホール34の底面からは窒化シリコン膜49が露出されている。

【0231】次いで、フォトレジストパターン66および反射防止膜65をアッシング法等によって図68に示すように除去した後、再度、図69に示すように、反射防止膜67をスルーホール34内に埋め込まれるように酸化シリコン膜39上に全面に塗布する。続いて、図70に示すように、反射防止膜67上に、フォトレジストパターン68を形成する。フォトレジストパターン68は、例えば平面帯状の配線溝を形成するためのマスクパターンであり、通常のフォトリソグラフィ技術によって形成されている。その後、図71に示すように、フォトレジストパターン68をマスクとして、そこから露出する反射防止膜67をドライエッチング法によってエッチング除去した後、さらに、酸化シリコン膜39をドライエッチング法によってエッチング除去することにより、配線溝42を形成する。この酸化シリコン膜39のエッチング処理では、酸化シリコン膜と窒化シリコン膜とのエッチング選択比を大きくし、酸化シリコン膜の方が窒化シリコン膜よりもエッチング除去され易い条件でエッチングする。これにより、窒化シリコン膜38をエッチングストップとして配線溝42を形成する。したがって、この段階では、配線溝42の底面からは窒化シリコン膜38が露出されている。

【0232】次いで、フォトレジストパターン68および反射防止膜67をアッシング法等によって図72に示すように除去した後、配線溝42およびスルーホール34の底部に露出される窒化シリコン膜38、49を選択的に除去する。このエッチング処理では、酸化シリコン膜と窒化シリコン膜とのエッチング選択比を大きくし、窒化シリコン膜の方が酸化シリコン膜よりもエッチング除去され易い条件でエッチングする。これにより、図73に示すように、配線溝42およびスルーホール34の底面から酸化シリコン膜39およびW配線27の一部を露出させる。これは、W配線27と上層埋め込み配線との電気的な接続をとるためである。また、酸化シリコン膜よりも誘電率の高い窒化シリコン膜38、49を可能な限り減らすことで、配線容量の低減を図るためでもある。このようにして、配線溝42およびスルーホール34を形成する。

【0233】次いで、図74に示すように、例えばTa膜45a(導電性バリア膜)を、本実施の形態6で説明したシングルダマシン法の場合と同様の条件でスパッタリング法によって堆積する。この際、配線溝42およびスルーホール34の側壁部には、最も厚い箇所、または、最も薄い箇所、例えば10nm未満以下、6～7nm程度のバリア膜45aが被着される。なお、ここでも、導電性バリア膜をTaとしているが、前記したのと同様に、TiNやその他に例示した膜でも良い。

【0234】続いて、Ta膜45a上に、Cu膜46を、例えばデポ膜厚で150nm程度、本実施の形態6で説明したシングルダマシンの場合と同様の条件でスパッタリング法によって堆積する。その際のターゲットとして、例えば99.999% (5N) 以上、好ましくは、99.9999% (6N) 以上の純度の高い無酸素Cuを用いた。これにより、例えば成膜時のCu膜46のCuの濃度を99.999%以上、好ましくは、99.9999%以上にできる。したがって、Cu配線の底面および側面部に純度の高いCuを堆積できる。

【0235】その後、電解メッキ法等によってCu膜46を形成する。Cu膜46を電解メッキ法によりスルーホール34内に埋め込む時の条件は、例えば電流密度が0.5~1.0A/dm²、40秒程度である。また、Cu膜46を配線溝42内に埋め込む時の条件は、例えば電流密度が1.0~2.0A/dm²、140秒程度である。

【0236】次いで、本実施の形態6で説明したシングルダマシンの場合と同様に水素アニール処理を施す。なお、この処理は場合によって無くても良い。

【0237】続いて、Cu膜46およびTa膜45aを、図75に示すように、前記実施の形態1、2で説明したのと同様のCMP法等によって研磨し余分な部分を除去することによりCu配線46cを形成した後、前記実施の形態1、2で説明したのと同様の防食プロセスおよび前記実施の形態1~3で説明したのと同様の洗浄処理を施す。その後、図76の網掛けのハッチングで示すように、絶縁膜39およびCu配線46cの表面に対して、前記実施の形態1で説明したアンモニアプラズマ処理または水素プラズマ処理を施す。これにより、本実施の形態6のシングルダマシンの場合と同様の効果を得ることができた。

【0238】その後、図77に示すように、窒化シリコン膜（キャップ膜）47を前記実施の形態1等と同様に堆積した後、図60(b)に示したように、窒化シリコン膜47上に、例えばTEOSガスをを用いたプラズマCVD法等によって酸化シリコン膜48を堆積する。

【0239】このような本実施の形態6では、上記本実施の形態6の構成で得られる効果の他、前記実施の形態1~5と同じ構成部分については、前記実施の形態1~5で説明したのと同じ効果を得ることが可能となる。

【0240】（実施の形態7）本実施の形態7においては、配線溝や接続孔を穿孔した後に上記アンモニアプラズマ処理または水素プラズマ処理を施すものである。シングルダマシンの場合でもデュアルダマシンの場合でも同じなので、デュアルダマシンの場合を一例として本実施の形態7を図78および図79によって説明する。なお、図78、79の各々の(a)は、半導体集積回路装置の製造工程中の要部平面図を示し、(b)は各図(a)のA-A線の断面図を示している。また、図78、79の(a)は

平面図であるが、図面を分かり易くするために金属膜にハッチングを付す。

【0241】本実施の形態7においては、前記実施の形態6の図66~図73を用いて説明した製造工程を経た後、図78の網掛けのハッチングで示すように、上記アンモニアプラズマ処理または水素プラズマ処理を施す。

【0242】アンモニアプラズマ処理を施した場合には、酸化シリコン膜39の上面、配線溝42の側壁部の酸化シリコン膜39の表面、配線溝42の底部の酸化シリコン膜31bの上面およびスルーホール34の側壁部の酸化シリコン膜31bの表面に、SiH結合およびSiN結合が形成される（例えば厚さ10nm未満の薄い窒化シリコン膜が形成される）結果、酸化シリコン膜39の上面、配線溝42の側壁部の酸化シリコン膜39の表面、配線溝42の底部の酸化シリコン膜31bの上面およびスルーホール34の側壁部の酸化シリコン膜31bの表面部分の膜質、清浄度、電気的な安定性を向上でき、Cuの拡散防止性能を向上させることが可能となる。また、前記実施の形態1で説明したのと同様に、酸化シリコン膜39とキャップ膜との接着性を向上させることも可能となる。なお、アンモニアプラズマ処理を施した後、軽くドライエッチング処理を施すことにより、W配線27の上部に形成された窒化膜（この場合はWN膜）を除去しても良い。

【0243】一方、水素プラズマ処理を施した場合には、酸化シリコン膜39の上面、配線溝42の側壁部の酸化シリコン膜39の表面、配線溝42の底部の酸化シリコン膜31bの上面およびスルーホール34の側壁部の酸化シリコン膜31bの表面で、SiH結合が形成される結果、アンモニアプラズマ処理の場合とほぼ同じ効果が得られる。

【0244】続いて、図79に示すように、前記実施の形態6と同様にしてTa膜45aおよびCu膜46を下層から順に堆積する。この後の工程は、前記実施の形態6で説明したのと同じなので説明を省略する。

【0245】このような本実施の形態7では、前記実施の形態6で得られた効果の他に、配線溝42およびスルーホール34の側壁部に対してもアンモニアプラズマ処理または水素プラズマ処理を施すことにより、TDD寿命をさらに向上させることができるので、半導体集積回路装置の信頼性および歩留まりをさらに向上させることができる、という効果が得られる。

【0246】（実施の形態8）本実施の形態8の半導体集積回路装置の配線構造の具体的な一例を図80に示す。図80は、半導体集積回路装置の一部を抜き出して示した断面図であり、(a)はシングルダマシンの場合によって形成された箇所、(b)はデュアルダマシンの場合によって形成された箇所をそれぞれ示している。

【0247】本実施の形態8においては、導電性バリア膜が形成されていない。すなわち、配線溝42またはス

ルーホール 34 内には、Cu のみが埋め込まれている。したがって、Cu 配線 46c の側壁部および底部は、ほぼ直接に酸化シリコン膜 39 と直接接した状態とされる。ただし、前記実施の形態 7 で説明した形成方法を採用した場合には、Cu 配線 46c の側壁部および底部は、配線溝 42 およびルーホール 34 内の酸化シリコン膜 39 の側壁部や底部に形成された薄い窒化シリコン膜に直接接した状態とされる。

【0248】また、Cu 配線 46c で例示される Cu 配線の Cu 以外の成分の濃度や分布は、前記実施の形態 6 で説明したのと同じである。また、酸化シリコン膜 31a, 31b, 31, 39, 48 等に代えて使用する層間絶縁膜の材料についても同じである。さらに、配線の幅（配線溝 42 の幅）および隣接配線間隔（隣接配線の互いに対向する側面から側面までの距離）等、各寸法は、前記実施の形態 6 の図 60 で説明したのと同じである。

【0249】このような本実施の形態 8 においても、前記実施の形態 6 で説明したように、TDD 寿命を向上させることができた。したがって、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。また、本実施の形態 8 においては、導電性バリア膜が設けられておらず、配線溝 42 やルーホール 34 内には Cu 膜 46 のみが埋め込まれているので、配線抵抗を大幅に向上させることが可能となっている。また、異層配線間が導電性バリア膜（Ta 膜 45a や TiN 膜 45 等）を介さずに直接接続される（ここでは、Cu 配線 46c と W 配線 27 とが直接接続される構造を例示したが、配線層の異なる Cu 配線同士が直接接続される場合もある）ので、その異層配線間の接触抵抗を大幅に低減させることができ、微細なルーホールでの抵抗を低減させることが可能となっている。したがって、配線溝 42 やルーホール 34 が微細化されたとしても半導体集積回路装置の性能を向上させることが可能となる。

【0250】このような Cu 配線構造の形成方法は、前記実施の形態 6, 7 で説明したのと同じである。一例として、本実施の形態 8 の Cu 配線構造をデュアルダマシン法により形成する方法を図 81～図 84 によって説明する。なお、図 81～図 84 の各々の（a）は、半導体集積回路装置の製造工程中の要部平面図を示し、（b）は各図（a）の A-A 線の断面図を示している。また、図 81～図 83 の（a）は平面図であるが、図面を分かり易くするために金属膜にハッチングを付す。

【0251】本実施の形態 8 においては、前記実施の形態 6 の図 66～図 73 を用いて説明した製造工程を経た後、図 81 の網掛けのハッチングで示すように、上記アンモニアプラズマ処理または水素プラズマ処理を施す。

【0252】アンモニアプラズマ処理または水素プラズマ処理を施すことにより、前記実施の形態 7 で説明したように、酸化シリコン膜 39 の上面、配線溝 42 の側壁部の酸化シリコン膜 39 の表面、配線溝 42 の底部の酸

化シリコン膜 31b の上面およびルーホール 34 の側壁部の酸化シリコン膜 31b の表面部分の膜質、清浄度、電気的な安定性を向上でき、Cu の拡散防止性能を向上させることが可能となる。また、前記実施の形態 1 で説明したのと同様に、酸化シリコン膜 39 とキャップ膜との接着性を向上させることも可能となる。なお、前記実施の形態 7 で説明したように、アンモニアプラズマ処理を施した後、軽くドライエッチング処理を施すことにより、W 配線 27 の上部に形成された窒化膜（この場合は WN 膜）を除去しても良い。

【0253】続いて、図 82 に示すように、前記実施の形態 6 の Cu 膜の成膜処理と同様にして純度の高い Cu 膜 46 を堆積する。すなわち、本実施の形態 8 においては、導電性バリア膜（Ta 膜 45a や TiN 膜 45 等）を堆積せずに、直接的に、純度の高い Cu 膜 46 を酸化シリコン膜 39 上（配線溝 42 およびルーホール 34 の内部を含む）に堆積する。配線溝 42 およびルーホール 34 内に埋め込まれた Cu 膜 46 は、その側壁部および底部において薄い窒化シリコン膜に直接接していると考えられる。したがって、その Cu 膜 46 の側壁部および底部において Cu がイオン化され難い構造となっている。

【0254】その後、Cu 膜 46 を、前記実施の形態 6 で説明したのと同様に、CMP 法等によって研磨して除去した後、洗浄処理を施す。これにより、図 83 に示すように、Cu 配線 46c を形成する。Cu 配線 46c は、基本的に Cu で形成されている。

【0255】次いで、図 83 の網掛けのハッチングで示すように、酸化シリコン膜 39 の上面および Cu 配線 46c の上面（露出面）に、上記アンモニアプラズマ処理または水素プラズマ処理を施す。これにより、前記実施の形態 6 で説明したように、Cu の拡散を防止でき、TDD 寿命を向上させることが可能となる。また、Cu の純度が高いままとすることができるので半導体チップとして完成された状態において Cu 配線の抵抗を下げる事が可能となる。

【0256】続いて、図 84 に示すように、前記実施の形態 6 で説明したのと同様に、窒化シリコン膜（キャップ膜）47 を前記実施の形態 1 等と同様に堆積した後、その上に、図 80（b）に示したように、例えば TEOS ガスを用いたプラズマ CVD 法等によって酸化シリコン膜 48 を堆積する。

【0257】このような本実施の形態 8 では、上記本実施の形態 1～7 の構成で得られる効果の他、以下の効果を得ることが可能となる。すなわち、導電性バリア膜を設けないことにより、Cu 配線 46c の抵抗を大幅に低減させることが可能となる。したがって、半導体集積回路装置の性能を向上させることが可能となる。

【0258】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実

施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0259】例えば前記実施の形態1～8は、各々独立に適用できることはもちろん、相互に組み合わせて適用できることは言うまでもない。たとえば実施の形態2の技術を適用して砥粒フリーで化学機械研磨を施し、その後実施の形態3を適用して酸処理を施し、さらに実施の形態1を適用してアンモニアあるいは水素、その他のプラズマ処理を施しても良い。

【0260】また、前記実施の形態1～8では、アンモニアプラズマ処理後の窒化シリコン膜47の形成を真空破壊することなく連続的に行ったが、アンモニアプラズマ処理の後、一旦真空破壊をして、その後窒化シリコン膜47を形成しても良い。真空破壊しない方が本発明の効果をより効果的に奏することができるが、アンモニアプラズマ処理により薄い窒化層が形成されるため、真空破壊を行い大気雰囲気中に暴露しても酸化層の形成を抑制できる。よって、真空破壊した場合であっても、本実施の形態の効果をある程度奏することは可能である。

【0261】また、前記実施の形態1～8では、Cu膜をスパッタリング法で形成した場合について説明したが、Cuの純度を高く確保できる条件でならば、スパッタリング法に代えてメッキ法やCVD法を用いても良い。

【0262】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMOS—LSI技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、フラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) またはFRAM (Ferroelectric Random Access Memory) 等のようなメモリ回路を有する半導体集積回路装置、マイクロプロセッサ等のような論理回路を有する半導体集積回路装置または上記メモリ回路と論理回路とを同一半導体基板上に設けている混載型の半導体集積回路装置にも適用できる。本発明は、少なくとも微細銅配線構造を有する半導体集積回路装置、半導体装置、電子回路装置または電子装置等に適用可能である。

【0263】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

- (1). 本発明によれば、上記埋め込み配線層中の銅以外の成分の濃度を半導体チップとして完成した時点において0.8at. %以下とすることにより、銅を主成分とする埋め込み配線の抵抗を低減させることが可能となる。
- (2). 本発明によれば、上記凹部内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は10nm未満とすることにより、銅を主成分とする埋め込み配線の

抵抗を低減させることが可能となる。

(3). 本発明によれば、上記凹部内に、上記導電性バリア膜自体が存在しないことにより、銅を主成分とする埋め込み配線の抵抗を低減させることが可能となる。

(4). 本発明によれば、上記埋め込み配線層中の銅以外の成分の濃度を半導体チップとして完成した時点において0.8at. %以下とすることにより、銅を主成分とする埋め込み配線間の絶縁破壊耐性を向上させることが可能となる。

(5). 本発明によれば、上記メタル膜を化学機械研磨法により除去して埋め込み配線層を形成した後、上記絶縁膜および埋め込み配線層の上面を、還元性を有する気体の雰囲気中でプラズマ処理する工程、前記プラズマ処理後の上記絶縁膜および埋め込みメタル配線層上にキャップ絶縁膜を形成する工程を有することにより、銅を主成分とする埋め込み配線間の絶縁破壊耐性を向上させることが可能となる。

(6). 本発明によれば、上記メタル膜を化学機械研磨法により除去して埋め込み配線層を形成した後、上記絶縁膜および埋め込み配線層の上面を、還元性を有する気体の雰囲気中でプラズマ処理する工程、前記プラズマ処理後の上記絶縁膜および埋め込みメタル配線層上にキャップ絶縁膜を形成する工程を有することにより、銅を主成分とする埋め込み配線の配線層とキャップ膜との密着性を向上させることが可能となる。

(7). 上記(1)～(6)により、銅を主成分とする埋め込み配線を有する半導体集積回路装置の性能を向上させることが可能となる。

(8). 上記(4)～(6)により、銅を主成分とする埋め込み配線を有する半導体集積回路装置の信頼性を向上させることが可能となる。

(9). 上記(4)～(6)により、銅を主成分とする埋め込み配線を有する半導体集積回路装置の歩留まりを向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態（実施の形態1）である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図2】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図3】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図4】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図5】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図6】(a)は実施の形態1の製造方法を示す平面図、(b)は実施の形態1の製造方法を示す要部断面図である。

【図7】(a)は実施の形態1の製造方法を示す平面

図、(b)は実施の形態1の製造方法を示す要部断面図である。

【図8】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図9】埋め込みCu配線の形成に用いるCMP装置の全体構成の一例を示す概略図である。

【図10】埋め込みCu配線の形成に用いるCMP装置の一部を示す概略図である。

【図11】ウェハのスクラブ洗浄方法を示す斜視図である。

【図12】埋め込みCu配線の形成に用いるCMP装置の全体構成の他の例を示す概略図である。

【図13】埋め込みCu配線の形成に用いるCMP装置の全体構成のさらに他の例を示す概略図である。

【図14】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図15】(a)は、アンモニアプラズマ処理および窒化シリコン膜の堆積に用いるプラズマ処理装置の概要を示した断面図であり、(b)は同じく平面図である。

【図16】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図17】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図18】実施の形態1の半導体集積回路装置の製造方法を示すフロー図である。

【図19】実施の形態1の半導体集積回路装置の概要を示す断面図である。

【図20】TDDDB寿命を示すグラフである。

【図21】TDDDB寿命を示すグラフである。

【図22】(a)～(d)は、XPSデータを示すグラフである。

【図23】(a)～(d)は、XPSデータを示すグラフである。

【図24】(a)～(d)は、XPSデータを示すグラフである。

【図25】(a)～(e)は、XPSデータを示すグラフである。(f)は組成比を示す表図である。

【図26】(a)～(d)は、質量分析結果を示すグラフである。

【図27】(a)～(d)は、質量分析結果を示すグラフである。

【図28】配線抵抗を示すグラフである。

【図29】(a)は処理無しの場合における配線部分を示すTEM写真をトレースした断面図、(b)は実施の形態1の配線部分を示すTEM写真をトレースした断面図である。

【図30】(a)～(c)は、比較として示すTEM写真をトレースした断面図である。

【図31】(a)および(b)はTDDDB劣化のメカニズムを示す説明図である。

【図32】(a)および(b)はTDDDB向上のメカニズムを示す説明図である。

【図33】TDDDB寿命を示すグラフである。

【図34】本発明の実施の形態2である半導体集積回路装置の製造方法に用いるCMP装置の全体構成の一例を示す概略図である。

【図35】埋め込みCu配線の形成に用いるCMP装置の一部を示す概略図である。

【図36】Cu膜の研磨状態を示すCMP装置の概略図である。

【図37】実施の形態2の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図38】(a)は、実施の形態2の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は同じく要部断面図である。

【図39】実施の形態2の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図40】(a)は、実施の形態2の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は同じく要部断面図である。

【図41】実施の形態2の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図42】(a)は、実施の形態2の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は同じく要部断面図である。

【図43】実施の形態2の半導体集積回路装置の製造方法を示すフロー図である。

【図44】TDDDB寿命を示すグラフである。

【図45】実施の形態3の半導体集積回路装置の製造方法を示すフロー図である。

【図46】TDDDB寿命を示すグラフである。

【図47】実施の形態4の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図48】(a)は、実施の形態4の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は同じく要部断面図である。

【図49】実施の形態4の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図50】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図51】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図52】(a)は、他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b)は同じく要部断面図である。

【図53】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図54】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図55】銅配線、アルミニウム配線、タングステン配

線のTDD B特性を測定したデータを示すグラフである。

【図56】各処理を行った際の銅配線中に含まれるシリコンの量を示すグラフである。

【図57】埋め込み銅配線の抵抗における導電性バリア膜厚さ依存性を示すグラフである。

【図58】TDD B特性の導電性バリア膜厚さ依存性を示すグラフである。

【図59】導電性バリア膜が無い場合および厚さ10nm未満の場合におけるアニール処理後のTDD B特性を示すグラフである。

【図60】(a)および(b)は、本発明の他の実施の形態である半導体集積回路装置の銅埋め込み配線層の要部断面図である。

【図61】(a)は本発明の実施の形態である半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図62】(a)は図61に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図63】(a)は図62に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図64】(a)は図63に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図65】(a)は図64に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図66】(a)は本発明の実施の形態である半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図67】(a)は図66に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図68】(a)は図67に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図69】(a)は図68に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図70】(a)は図69に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図71】(a)は図70に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図72】(a)は図71に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図73】(a)は図72に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図74】(a)は図73に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図75】(a)は図74に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図76】(a)は図75に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図77】(a)は図76に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図78】(a)は本発明の実施の形態である半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図79】(a)は図78に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図80】(a)および(b)は、本発明のさらに他の実施の形態である半導体集積回路装置の銅埋め込み配線層の要部断面図である。

【図81】(a)は本発明の実施の形態である半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図82】(a)は図81に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図83】(a)は図82に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図84】(a)は図83に続く半導体集積回路装置の製造工程における要部平面図、(b)は(a)のA-A線の断面図である。

【図85】本願のTDD B寿命測定に使用した試料を示し、(a)は平面図、(b)および(c)は(a)におけるB-B'線断面およびC-C'線断面を各々示す説明図である。

【図86】測定の概要を示した概念図である。

【図87】電流電圧測定結果の一例である。

【図88】導電性バリア膜の配線溝または接続孔内におけるカバレッジの説明図である。

【符号の説明】

- 1 基板
- 2 素子分離溝
- 3 酸化シリコン膜
- 4 p型ウエル
- 5 n型ウエル

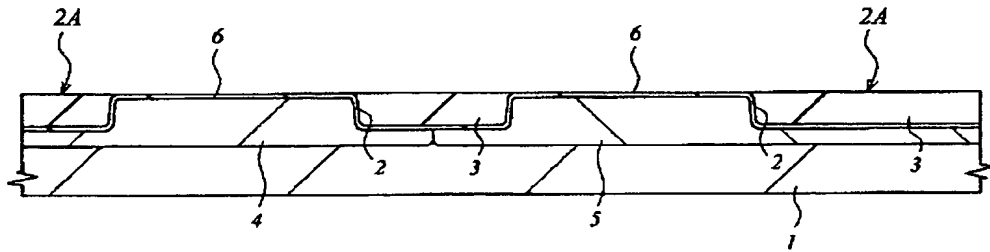
- 6 ゲート絶縁膜
- 7 ゲート電極
- 9 シリサイド層
- 11 n⁻型半導体領域
- 12 p⁻型半導体領域
- 13 サイドウォールスペーサ
- 14 n⁺型半導体領域
- 15 p⁺型半導体領域
- 18 酸化シリコン膜
- 20～22 コンタクトホール
- 23 プラグ
- 24～30 W配線
- 28～30 Cu配線
- 31 酸化シリコン膜
- 31a 酸化シリコン膜
- 31b 酸化シリコン膜
- 32～36 スルーホール
- 37 プラグ
- 38 窒化シリコン膜
- 39 酸化シリコン膜
- 40～44 配線溝
- 45 TiN膜
- 46 Cu膜
- 46a～46e Cu配線
- 47 窒化シリコン膜 (キャップ膜)
- 48 酸化シリコン膜
- 49 窒化シリコン膜
- 50～54 配線溝
- 60 絶縁膜
- 61 配線溝
- 62 バリア膜
- 65 反射防止膜
- 66 フォトレジストパターン
- 67 反射防止膜
- 68 フォトレジストパターン
- 100 CMP装置
- 101 筐体
- 102 回転軸
- 103 モータ
- 104 研磨盤
- 105 研磨パッド
- 106 ウエハキャリア
- 106a 凹部
- 107 駆動軸
- 108 スラリ供給管
- 109 ドレッサ
- 110 駆動軸
- 120 ロータ
- 121A ブラシ
- 130 研磨処理部
- 140 防蝕処理部
- 150 浸漬処理部
- 160 後洗浄処理部
- 170 アンローダ
- 200 CMP装置
- 220 ロータ
- 230 研磨処理部
- 240 乾燥処理部
- 250 後洗浄処理部
- 260 アンローダ
- 301 ロードロック室
- 302a 処理室
- 302b 処理室
- 303 カセットインタフェース
- 304 ロボット
- 305 ゲートバルブ
- 306 サセプタ
- 307 バッフル板
- 308 支持部材
- 309 電極
- 310 絶縁板
- 311 反射ユニット
- 312 ランプ
- 313 赤外線
- 314 石英窓
- 315 ガスポート
- 316 真空マニホールド
- 400 CMP装置
- 401 研磨処理部
- 402 後洗浄部
- 403A 第1定盤
- 403B 第2定盤
- 404 クリーン・ステーション
- 405 回転アーム
- 406 ロータ
- 407 アンローダ
- 408 ロータ
- 409A 第1洗浄部
- 409B 第2洗浄部
- 410 スピンドライヤ
- 411 アンローダ
- 412 駆動機構
- 413 研磨パッド
- 414 駆動機構
- 415 ウエハキャリア
- 416 ウエハチャック
- 417 リテーナリング
- 418 スラリ供給管
- 418a スラリ供給管
- 418b スラリ供給管

419 駆動機構
 420 ドレッサ
 430 遮光壁
 501 絶縁膜
 502 絶縁膜
 503 配線

504 窒化シリコン膜
 505 酸化シリコン膜
 507 接続孔
 508 プラグ
 Qn nチャネル型MISFET
 Qp pチャネル型MISFET

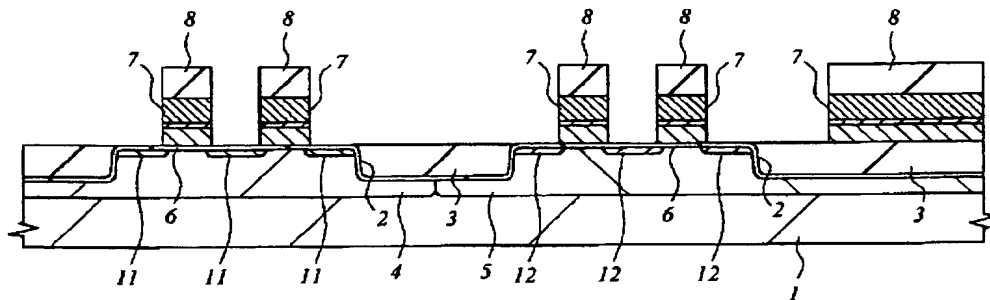
【図1】

図 1



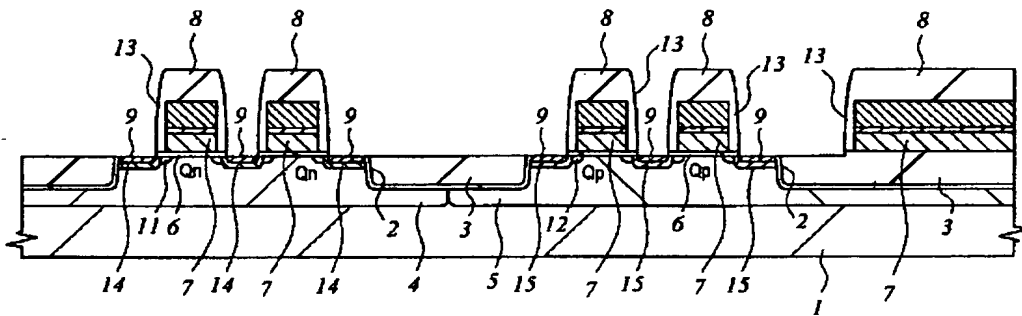
【図2】

図 2



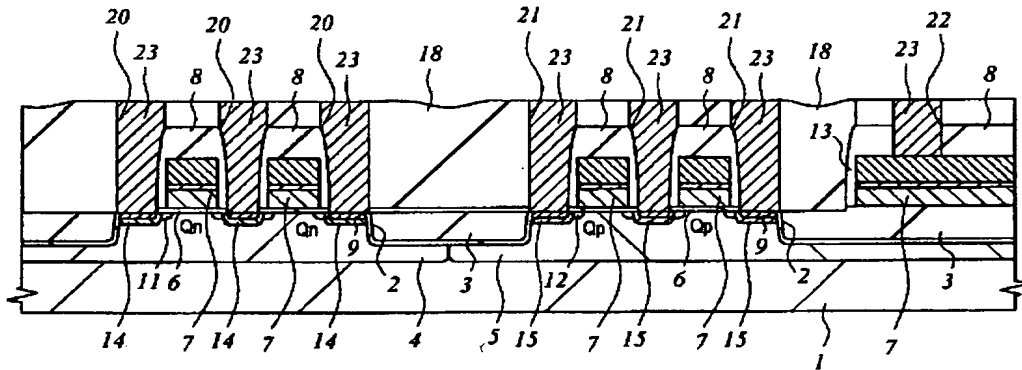
【図 3】

図 3



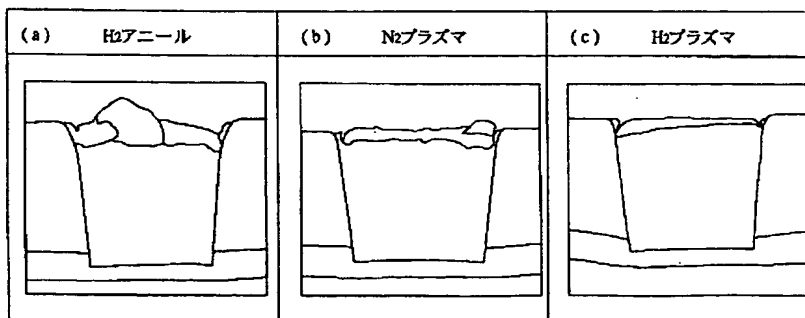
【図 4】

図 4



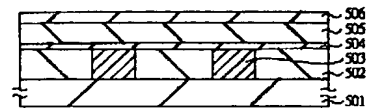
【図 30】

図 30



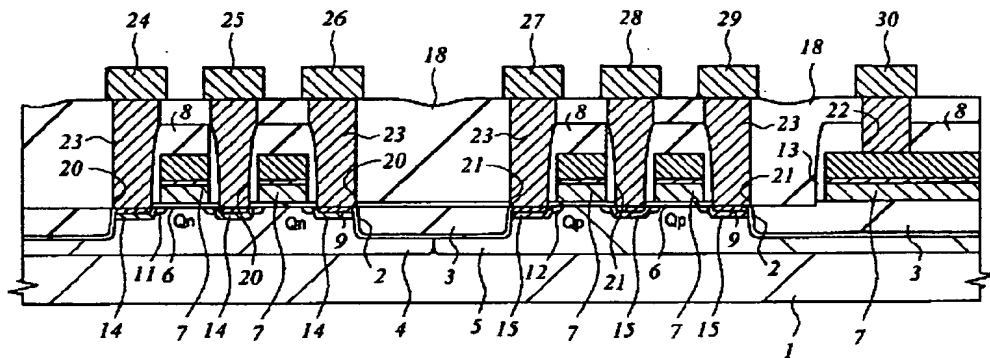
【図 47】

図 47



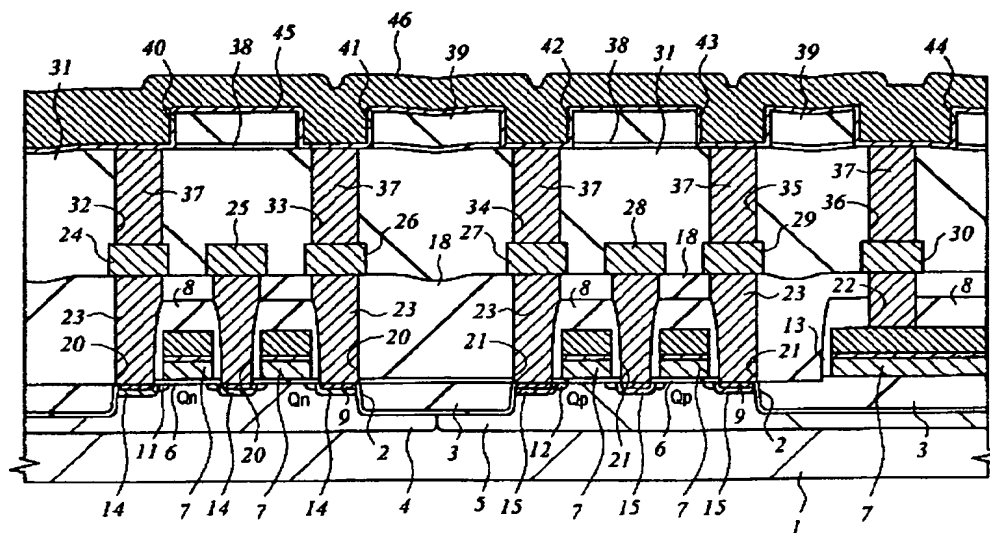
【図 5】

図 5



【図 8】

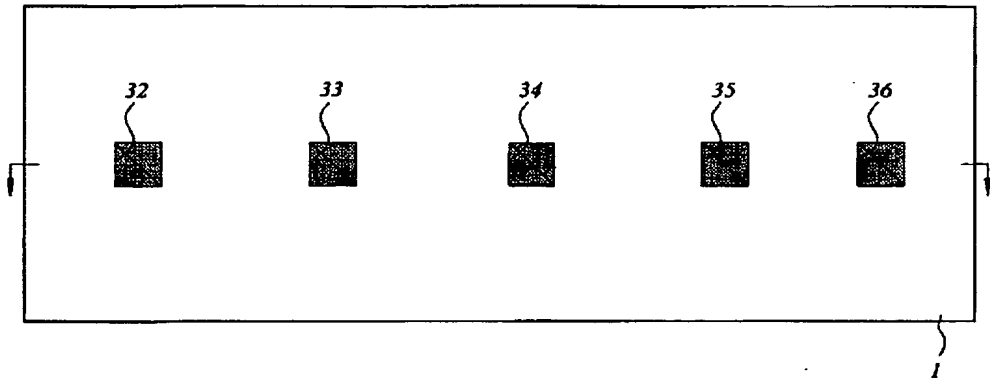
図 8



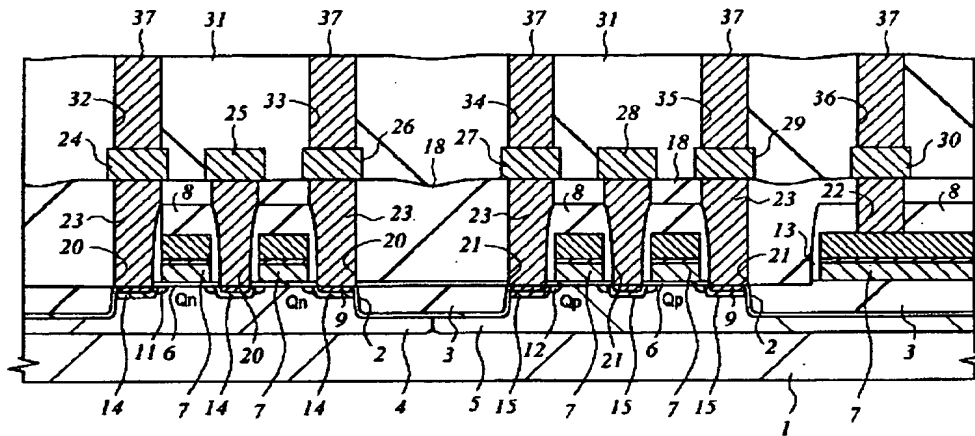
【図 6】

図 6

(a)

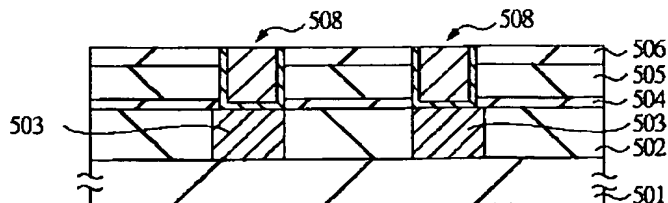


(b)



【図 49】

図 49



【図 86】

図 86

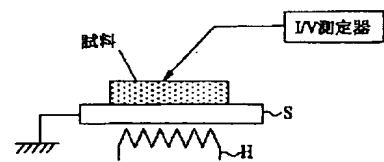
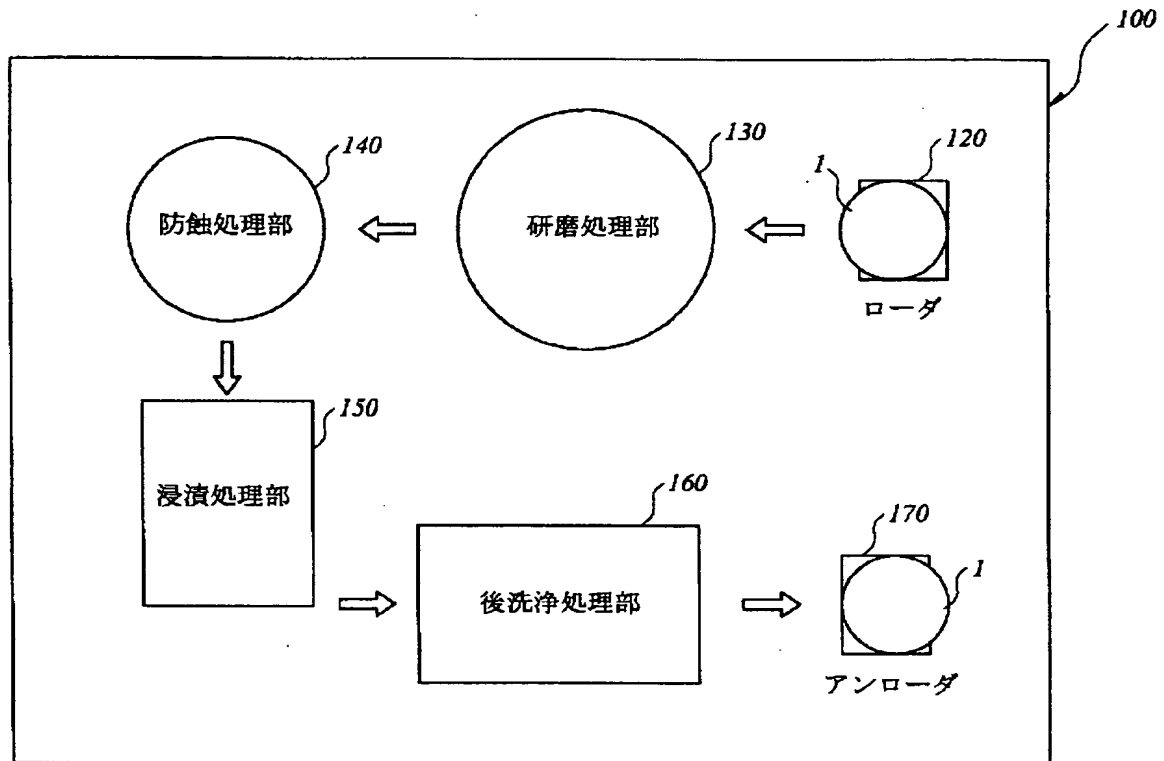


图 7

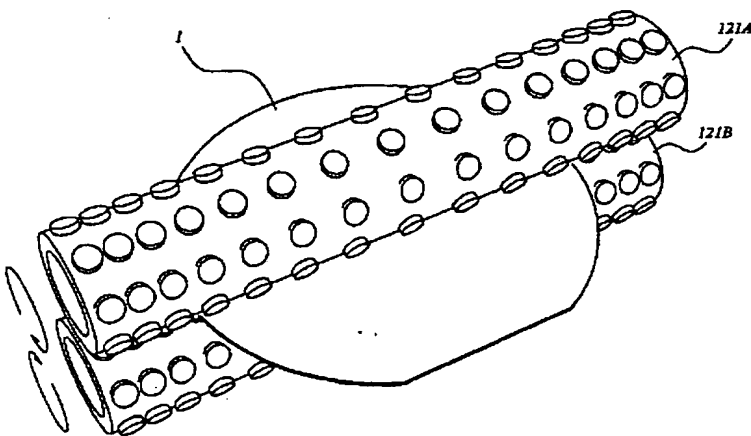
【図 9】

図 9



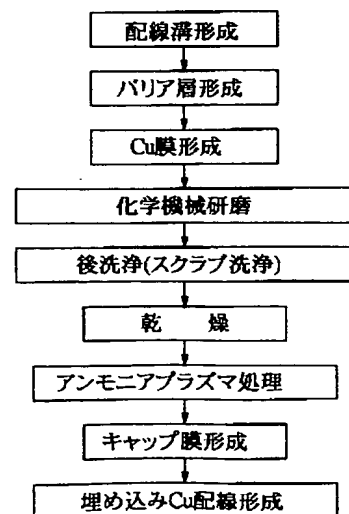
【図 11】

図 11



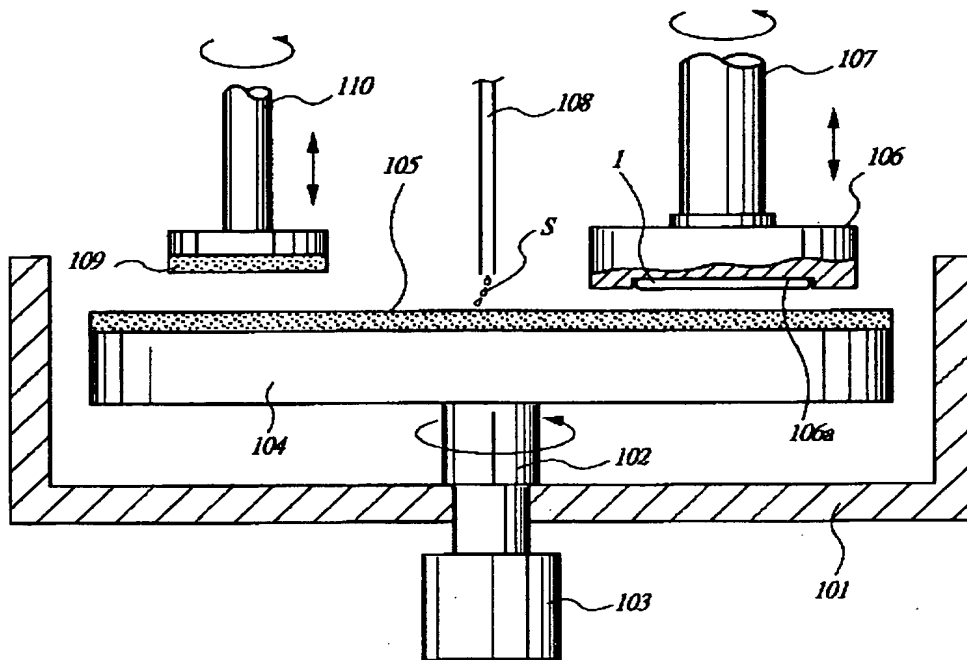
【図 18】

図 18



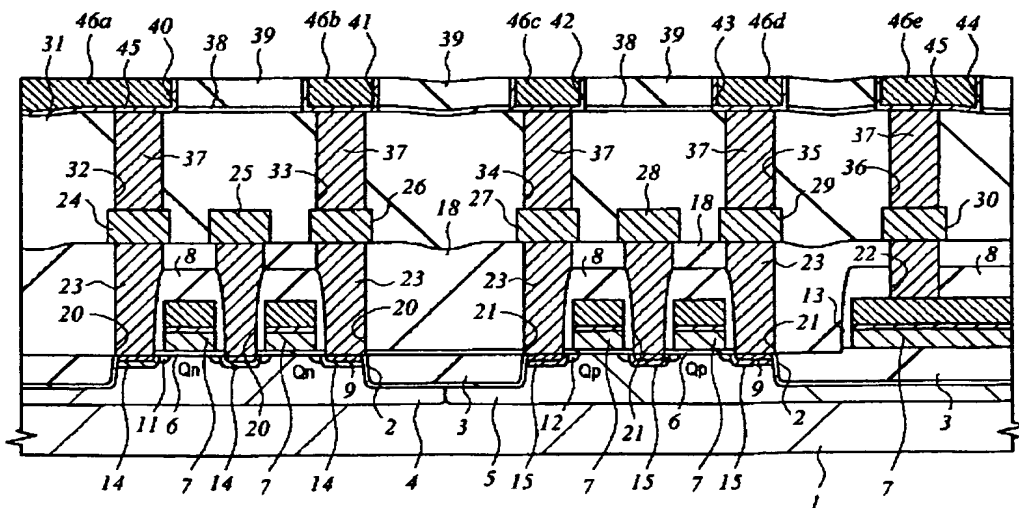
【図 10】

図 10



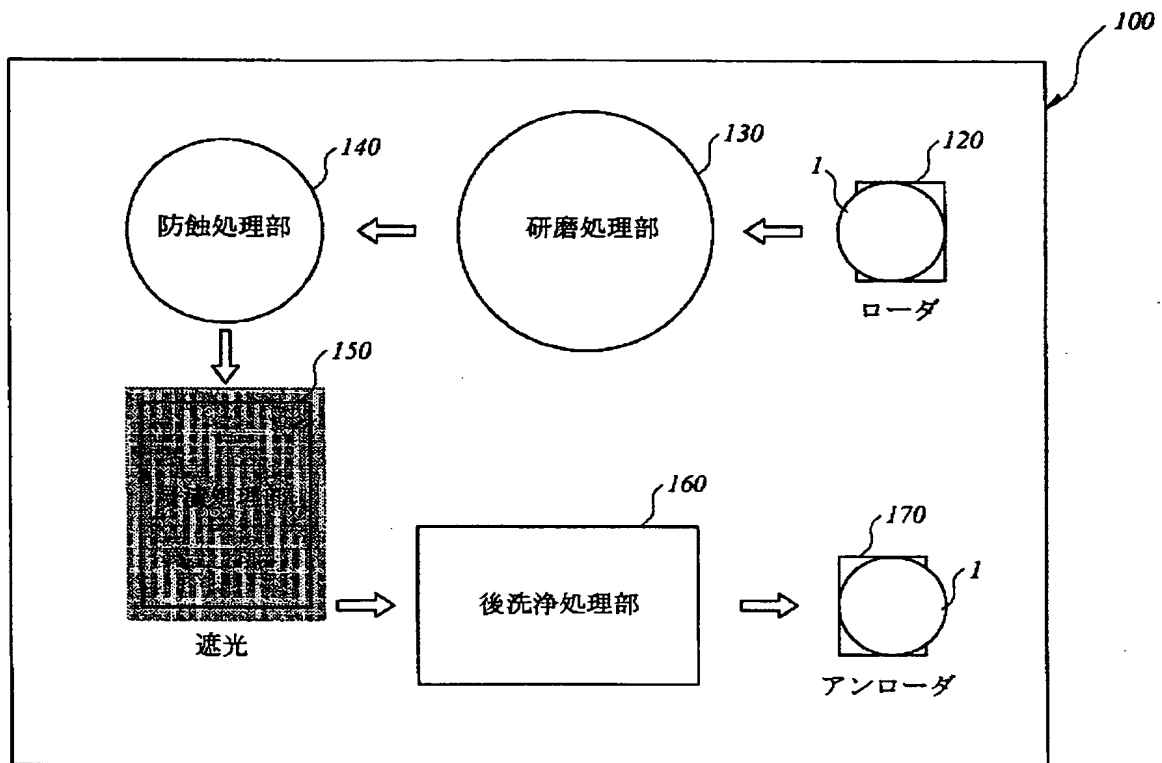
【図 14】

図 14



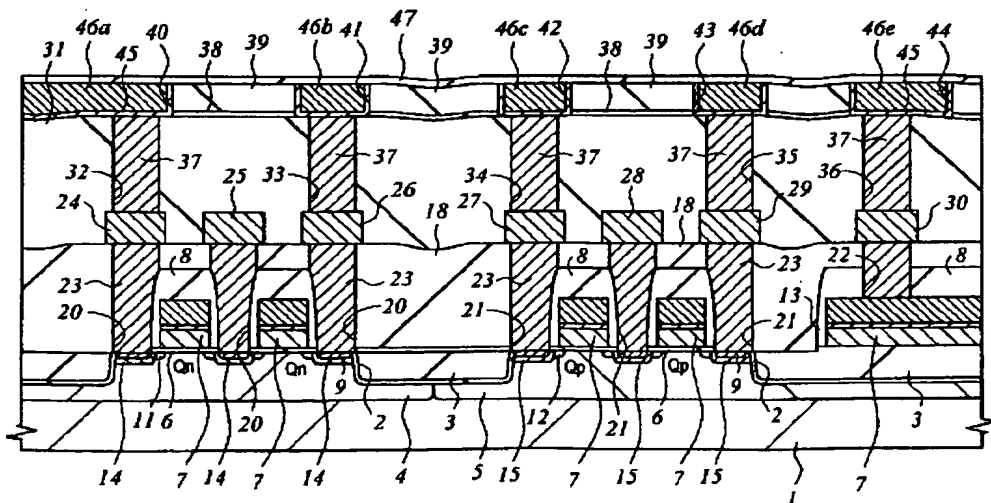
【図12】

図 12



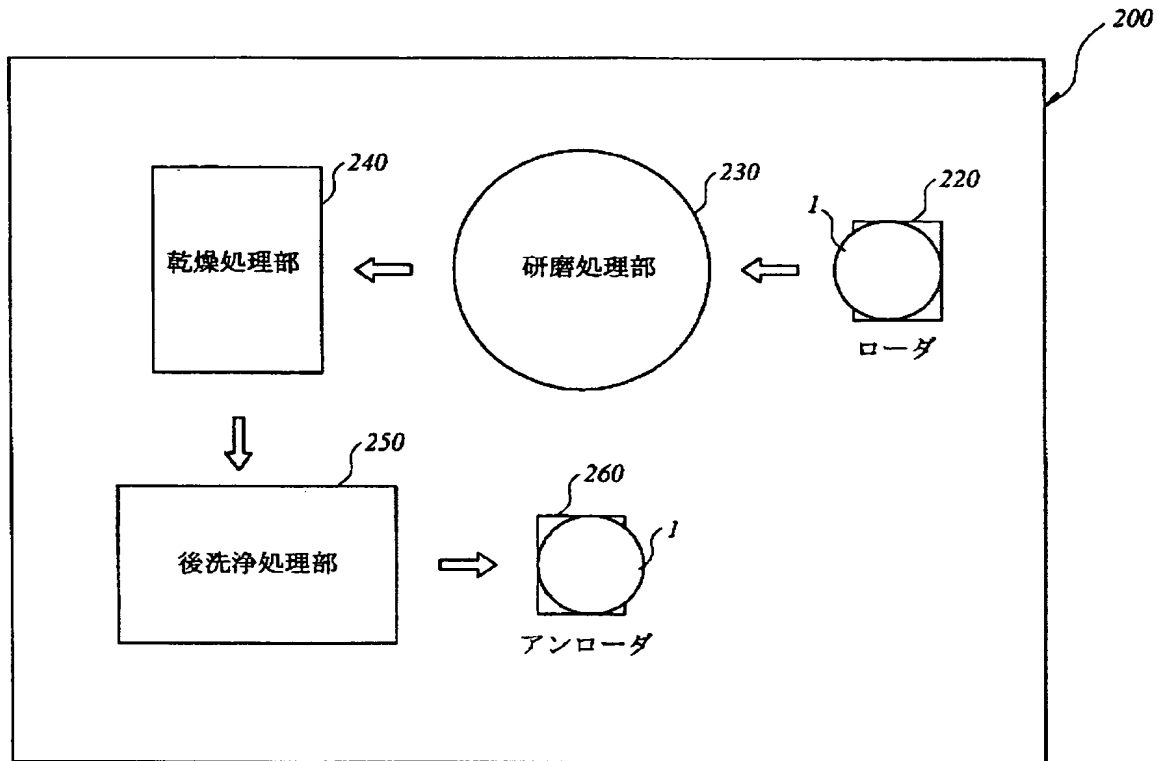
【図17】

図 17



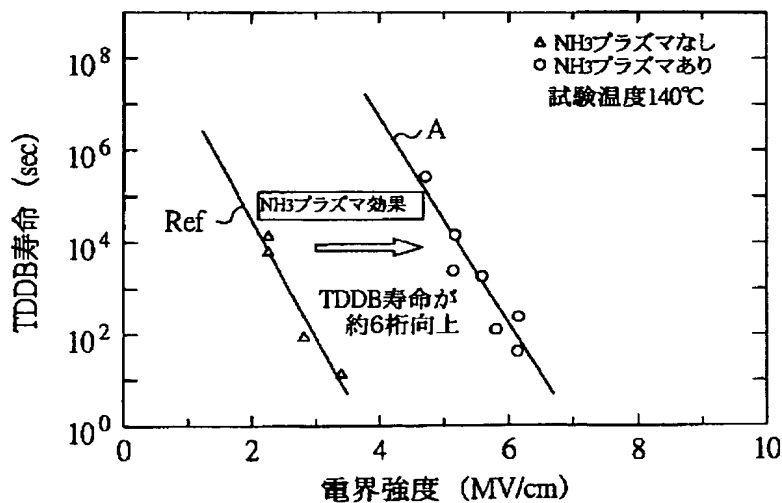
【図13】

図 13



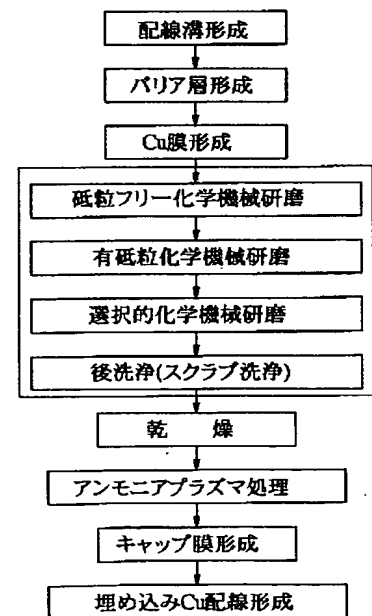
【図20】

図 20



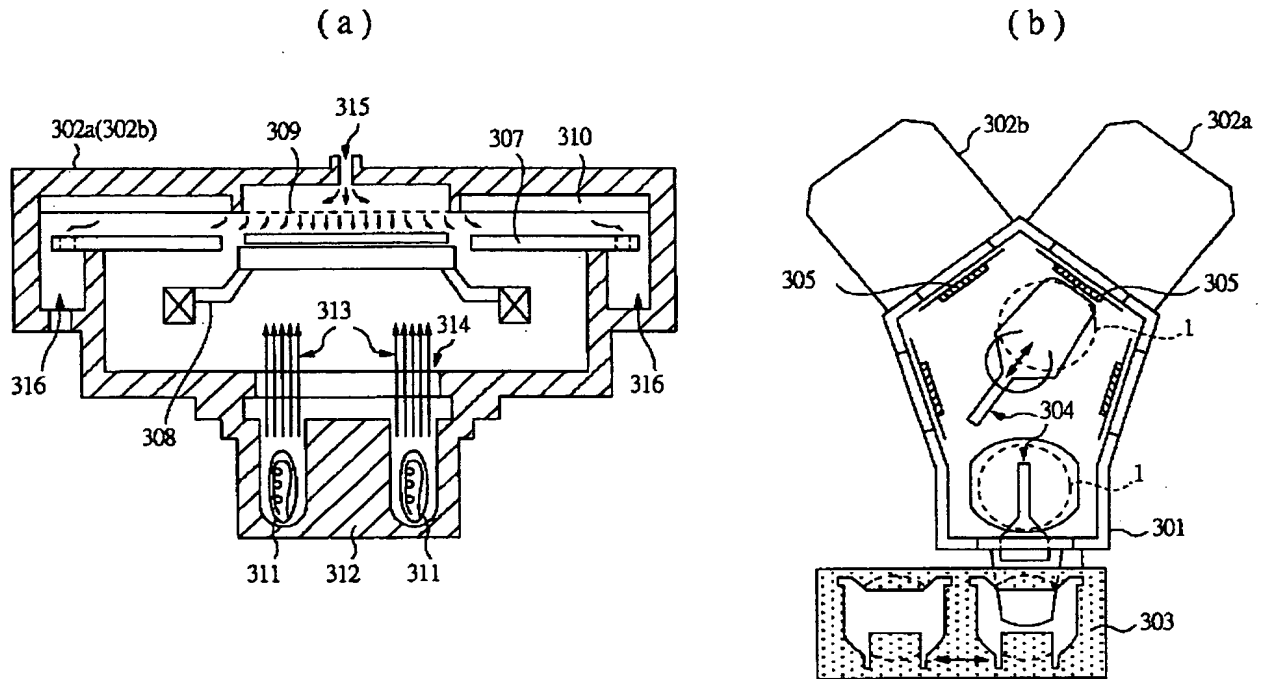
【図43】

図 43



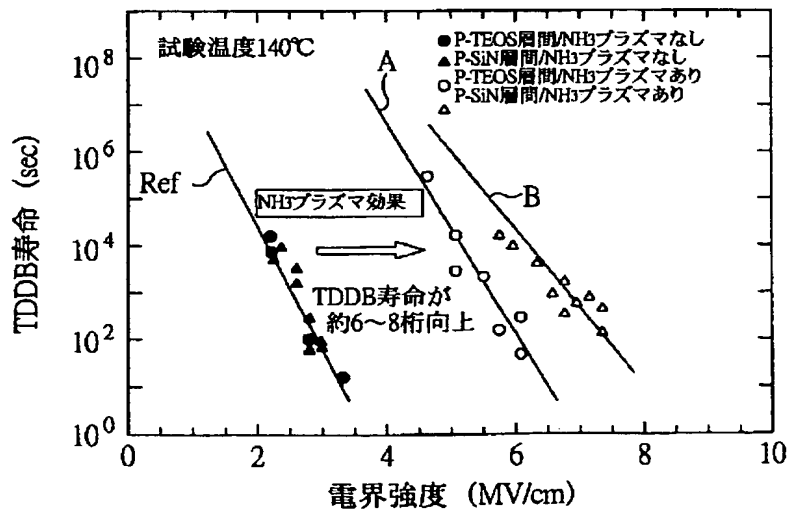
【図15】

図 15



【図21】

図 21



【図45】

図 45

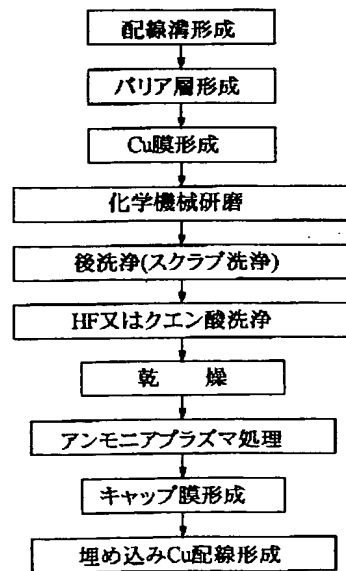
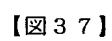
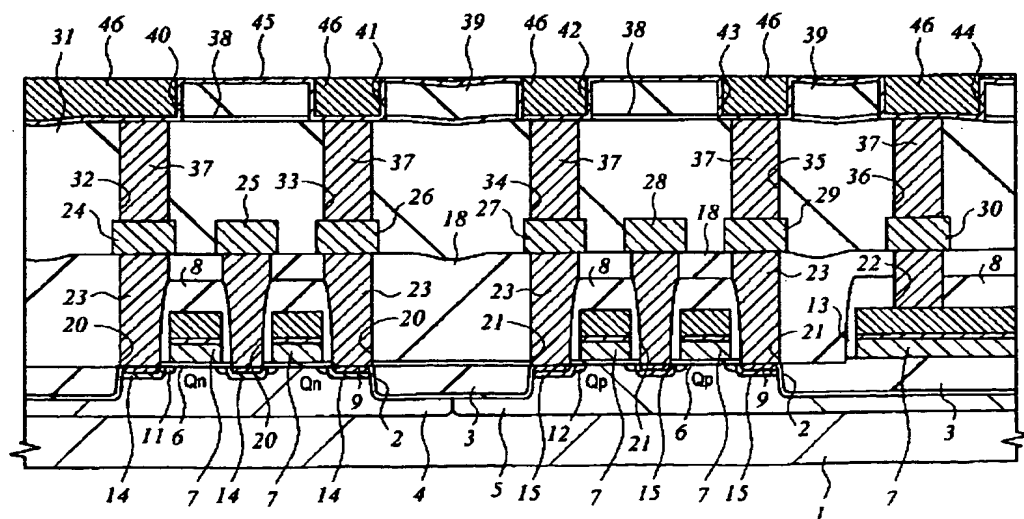


图 16

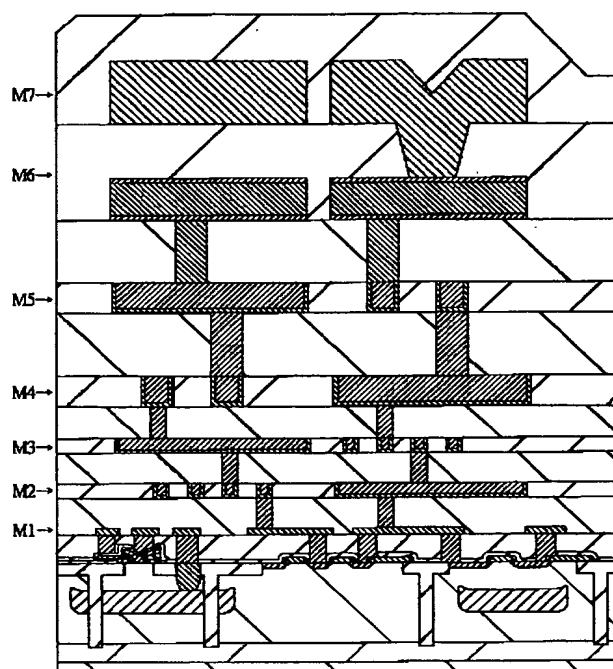


37



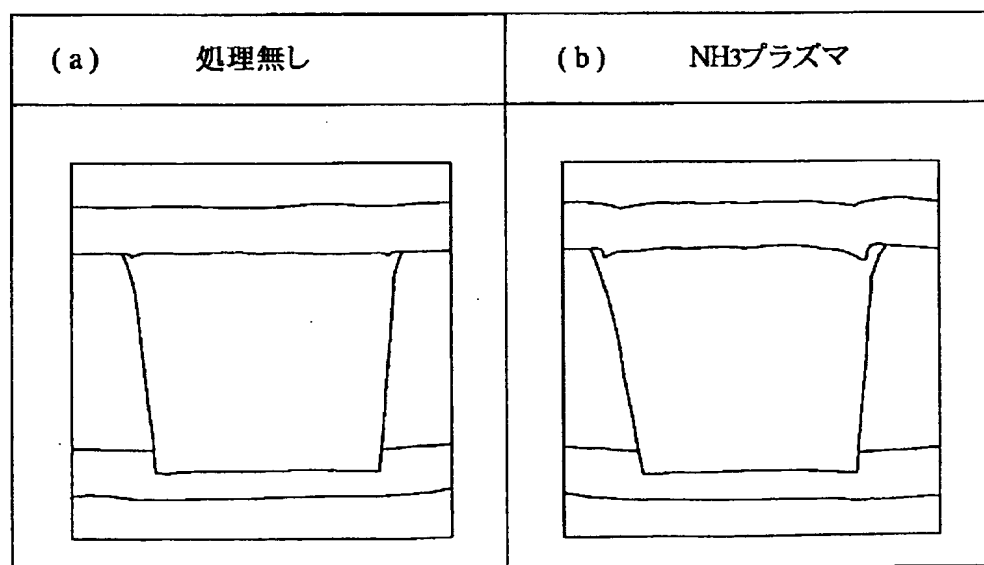
【図19】

図 19



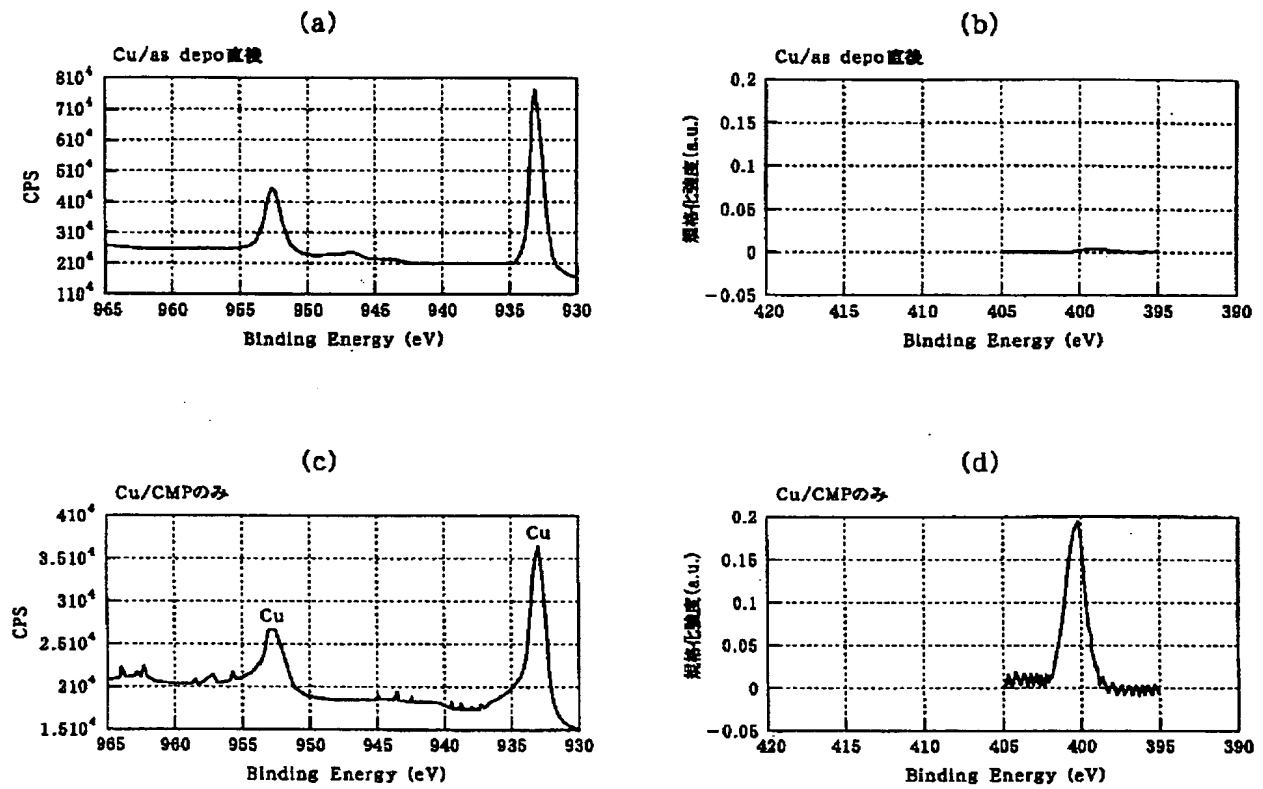
【図29】

図 29



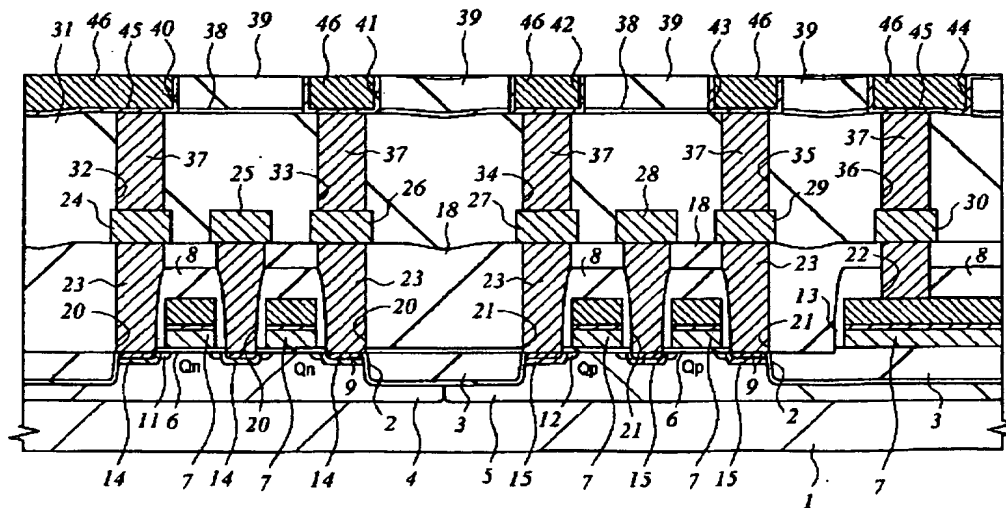
【図 22】

図 22



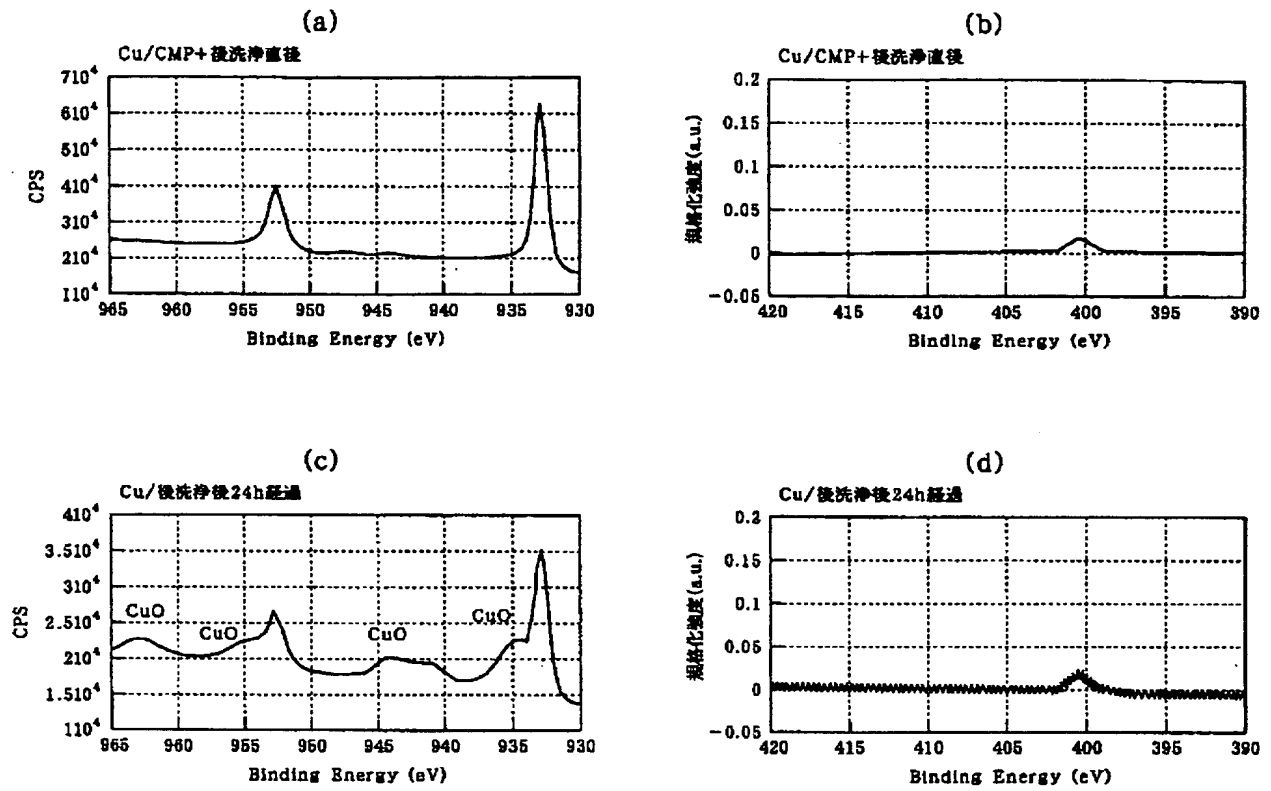
【図 39】

図 39



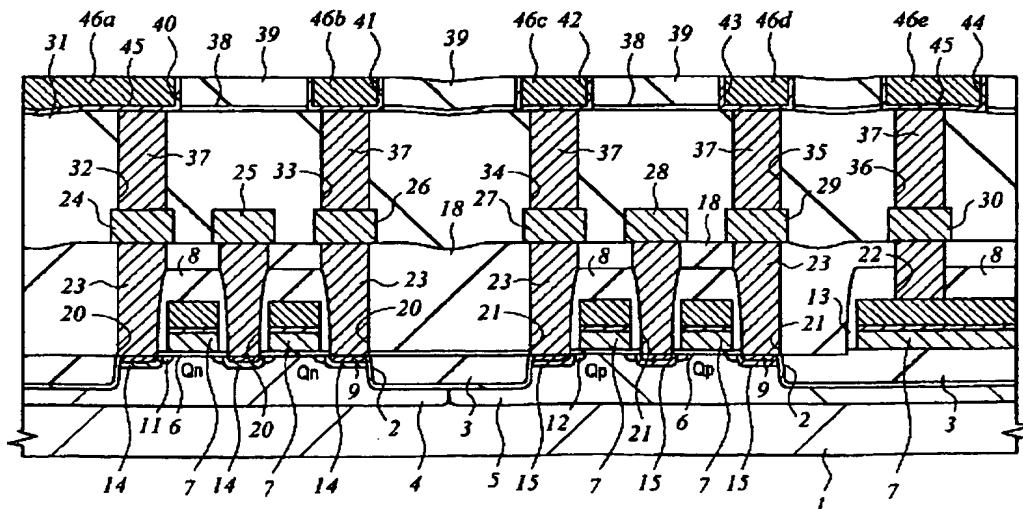
【図23】

図 23



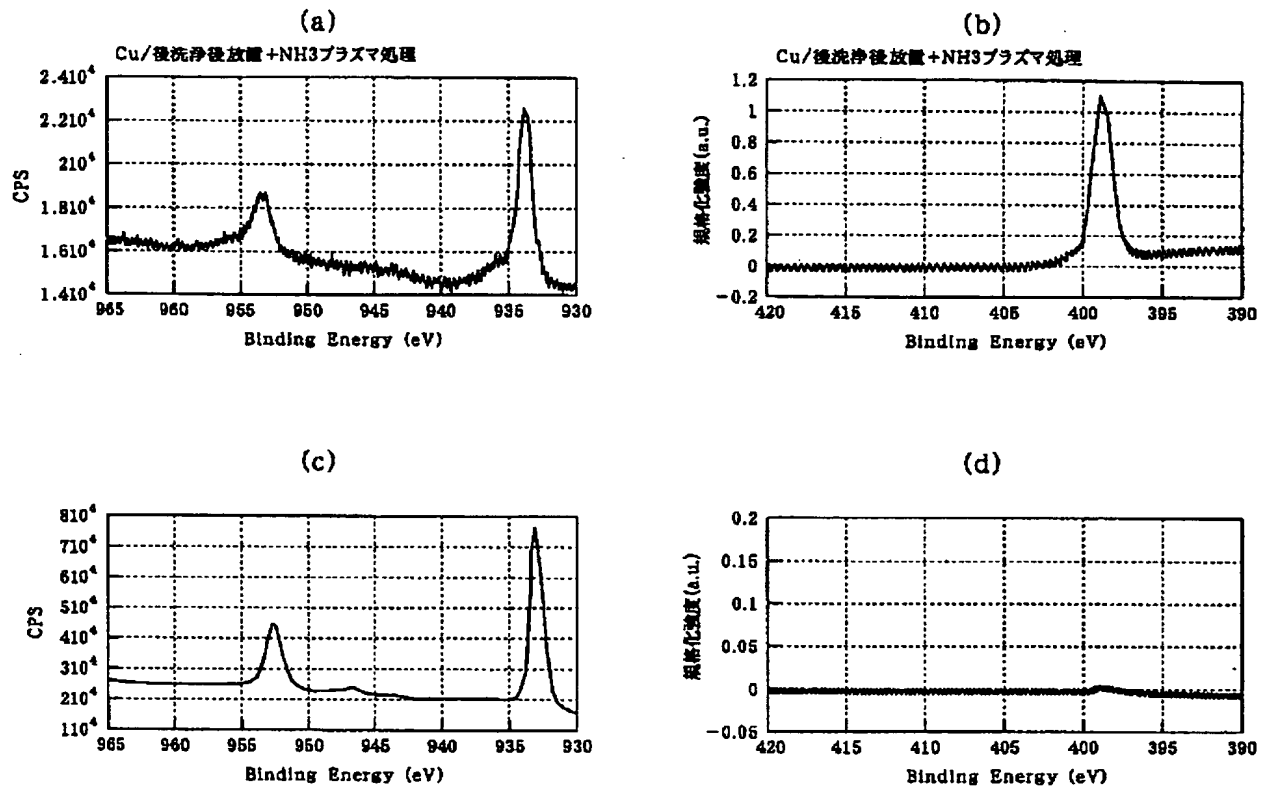
【図41】

図 41



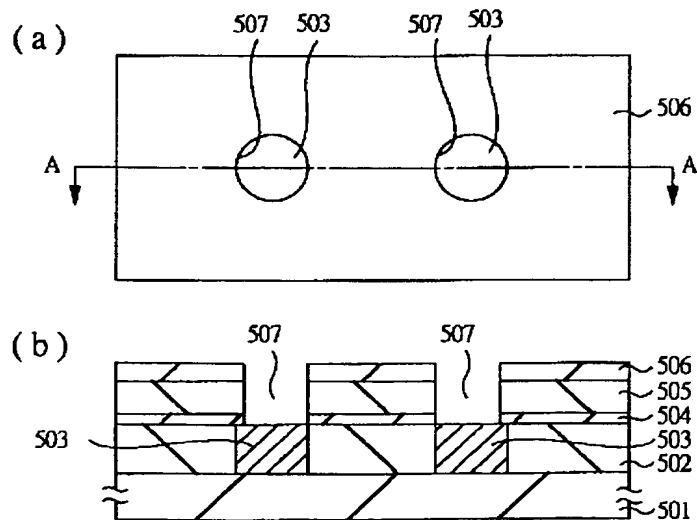
【図 24】

図 24



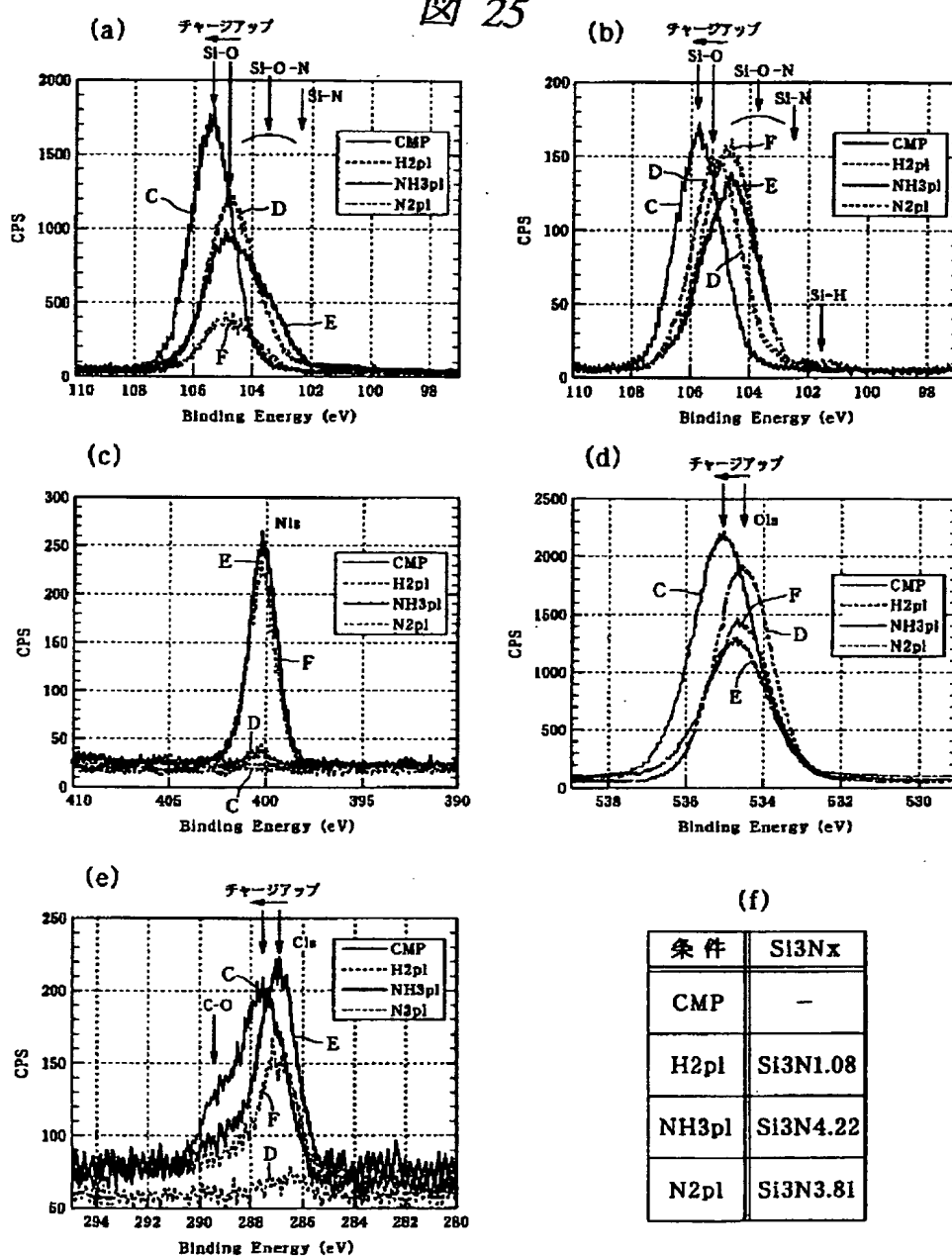
【図 48】

図 48



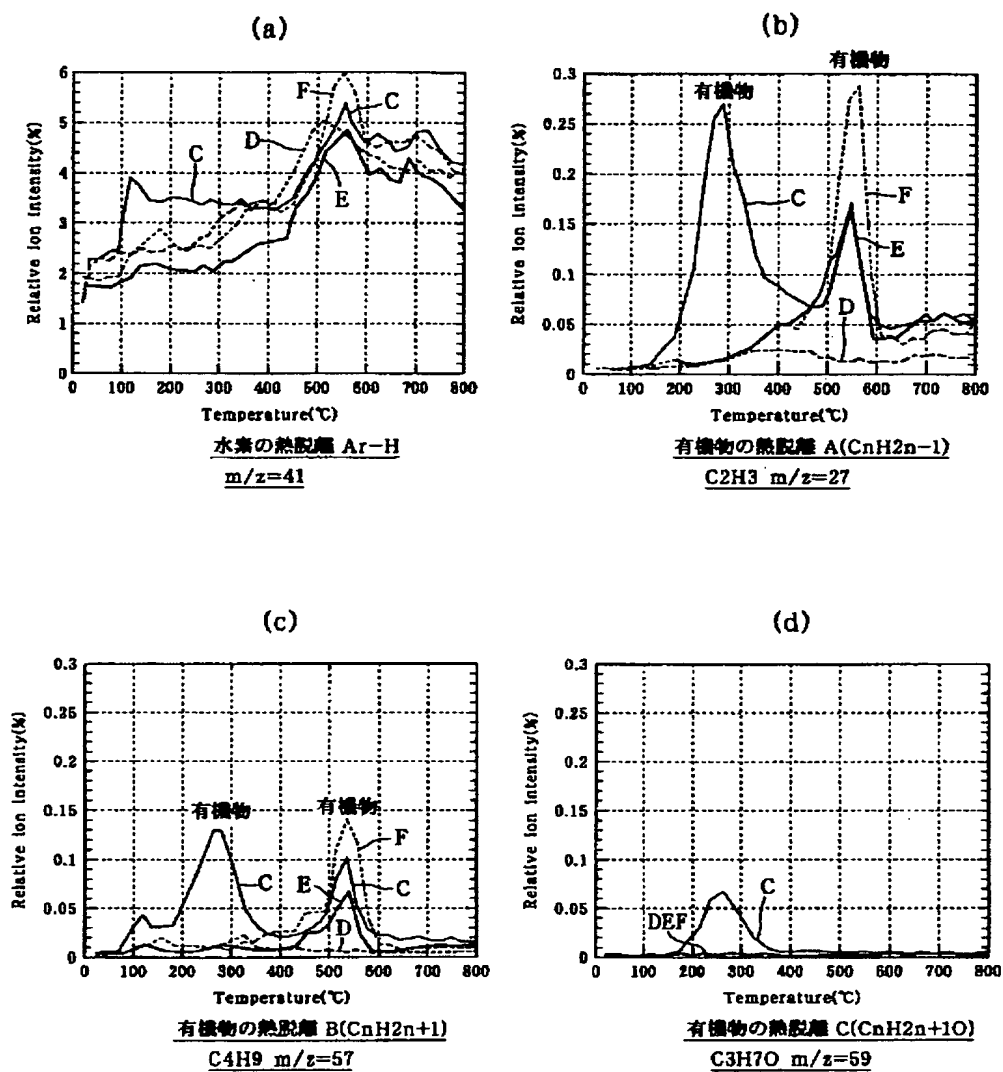
【図 25】

図 25



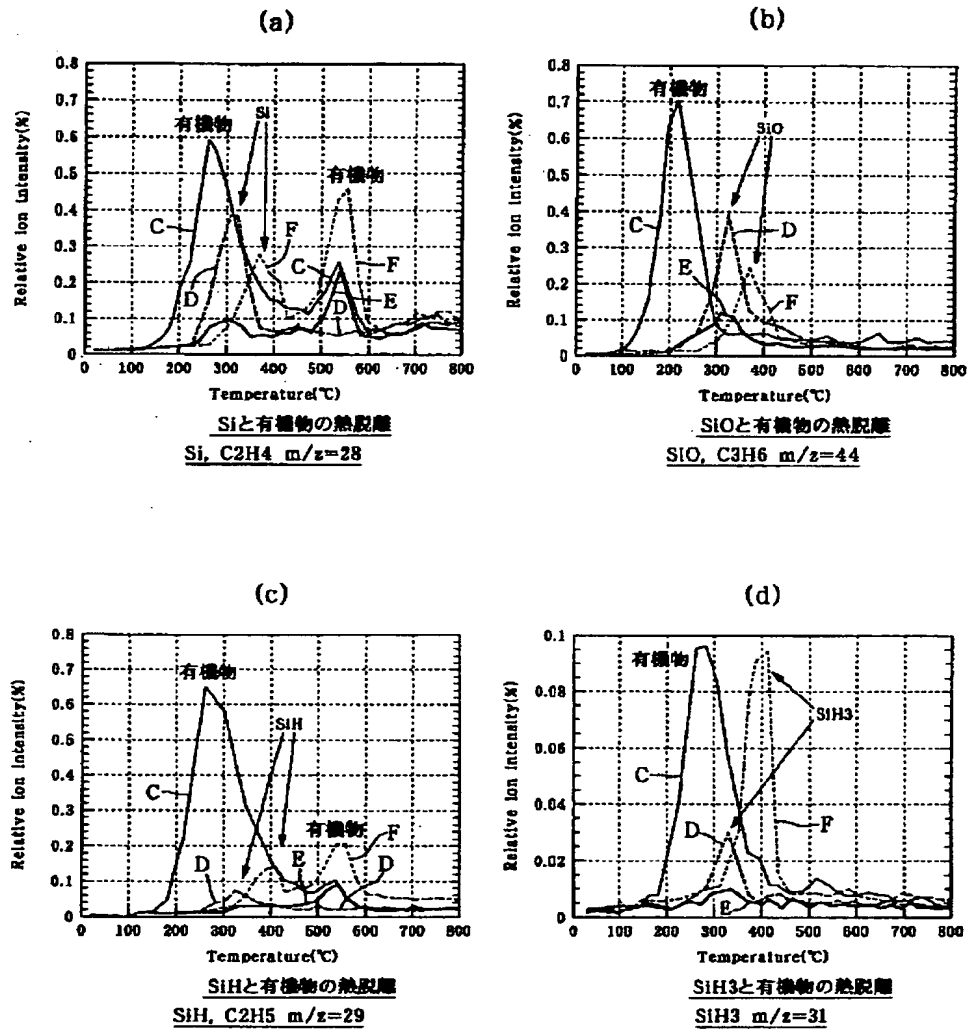
【図 26】

図 26



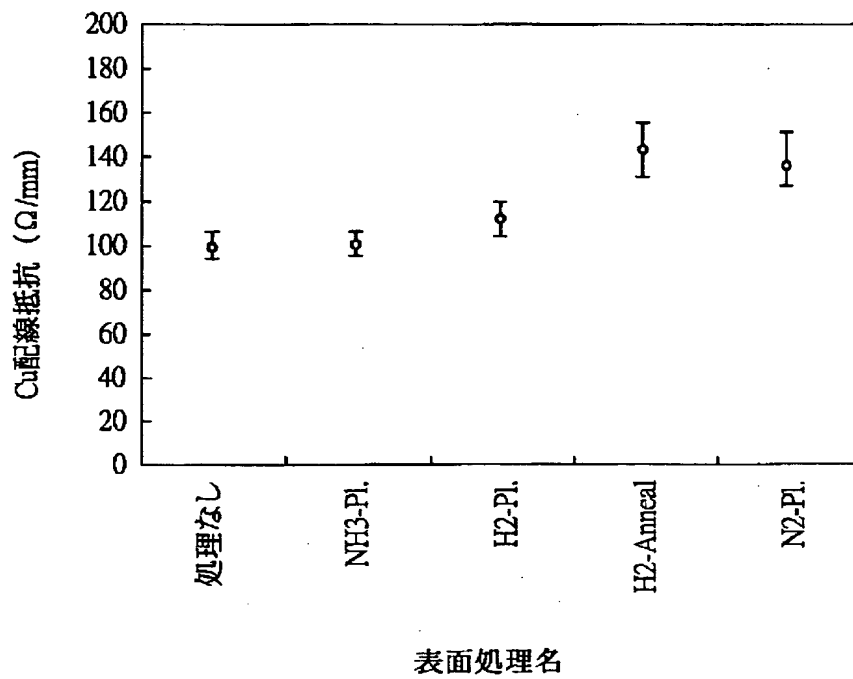
【図27】

図 27



【図28】

図 28



【図50】

図 50

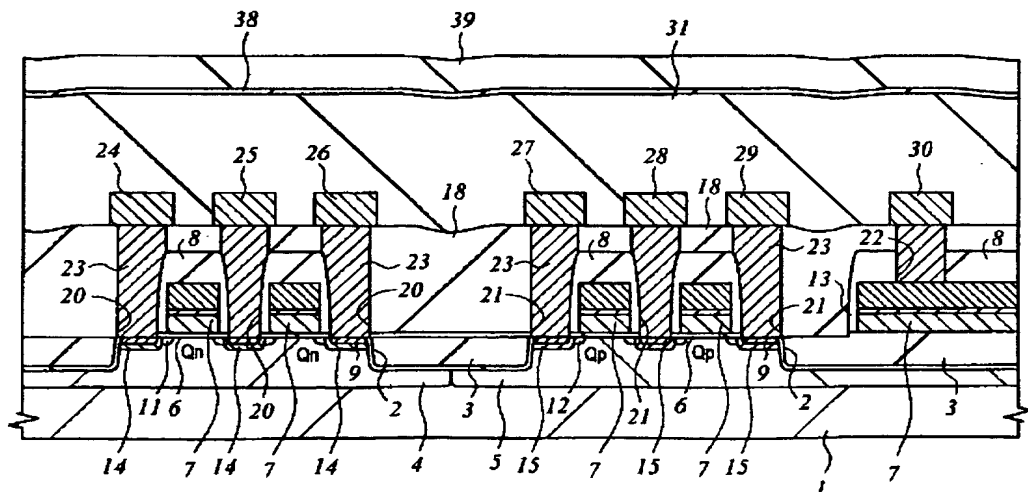
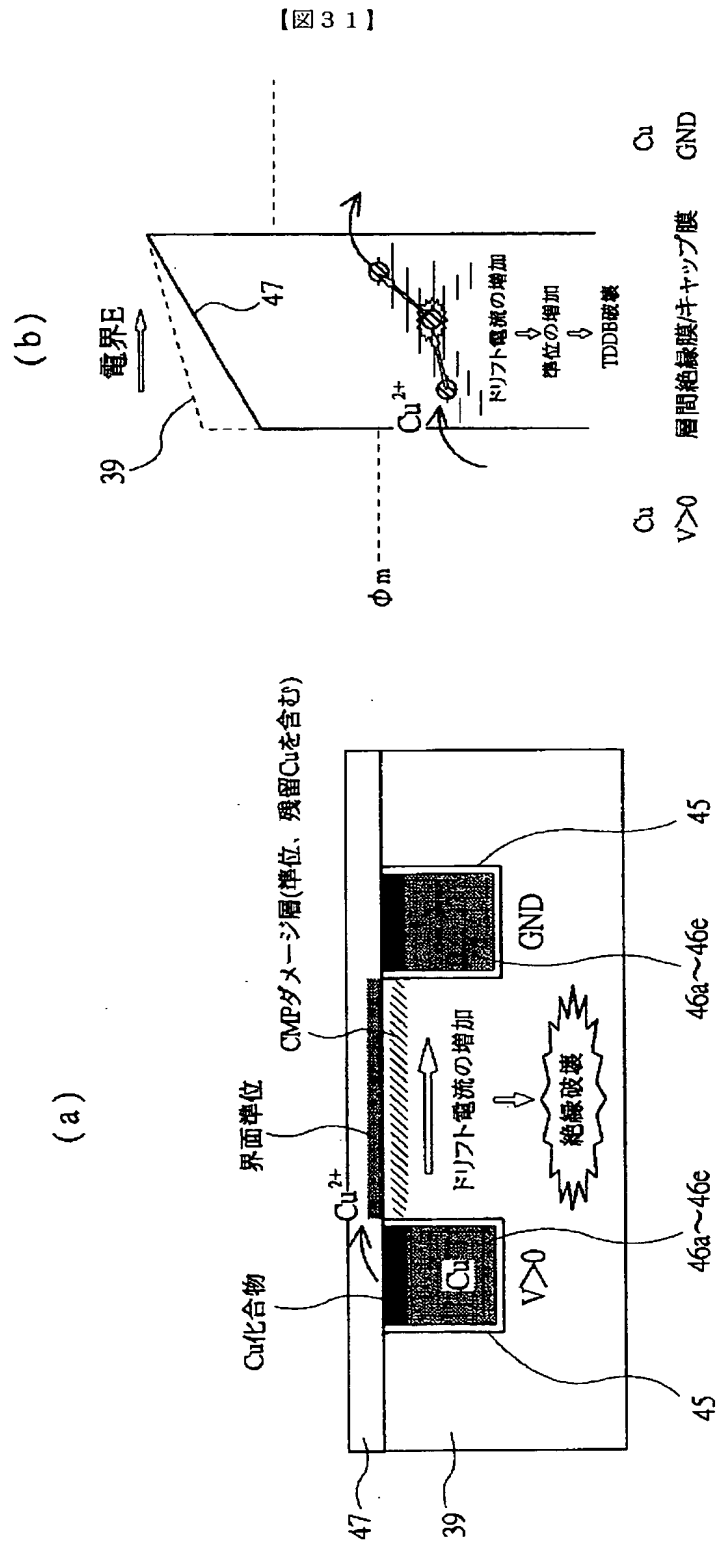
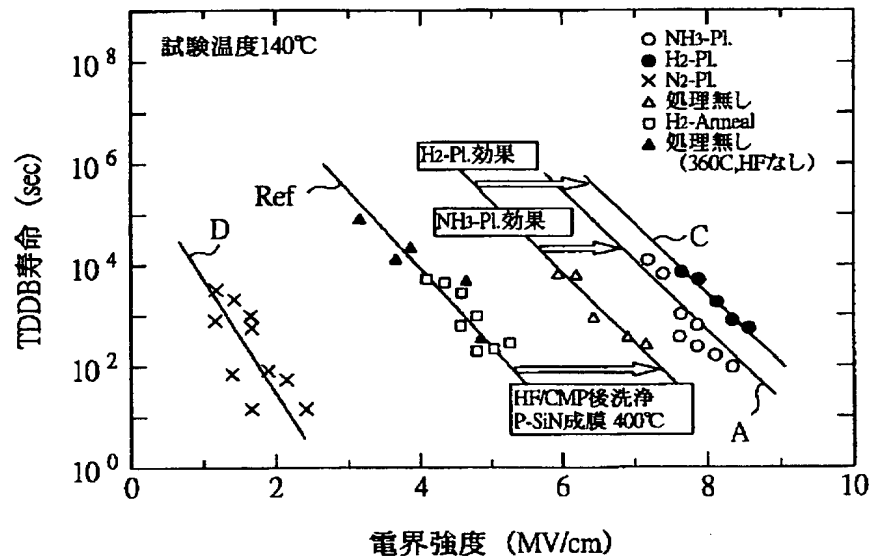


図 31



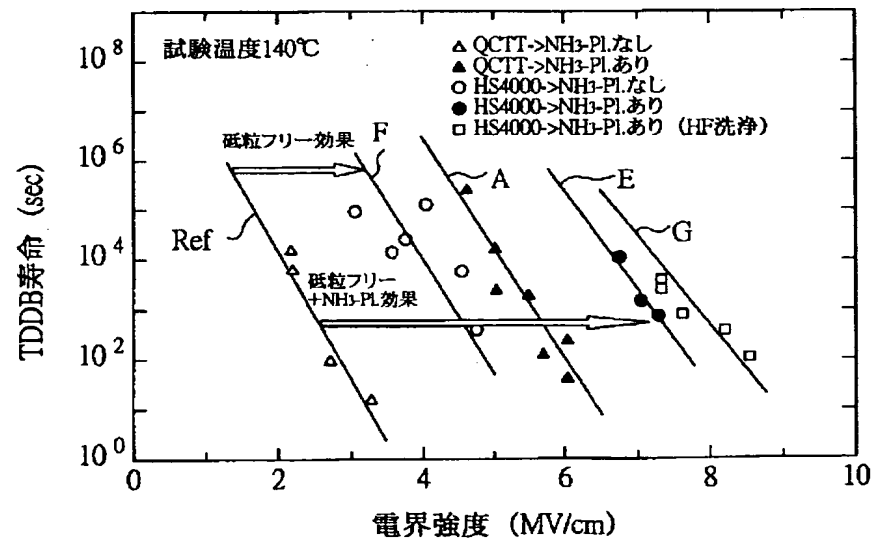
【図33】

図 33



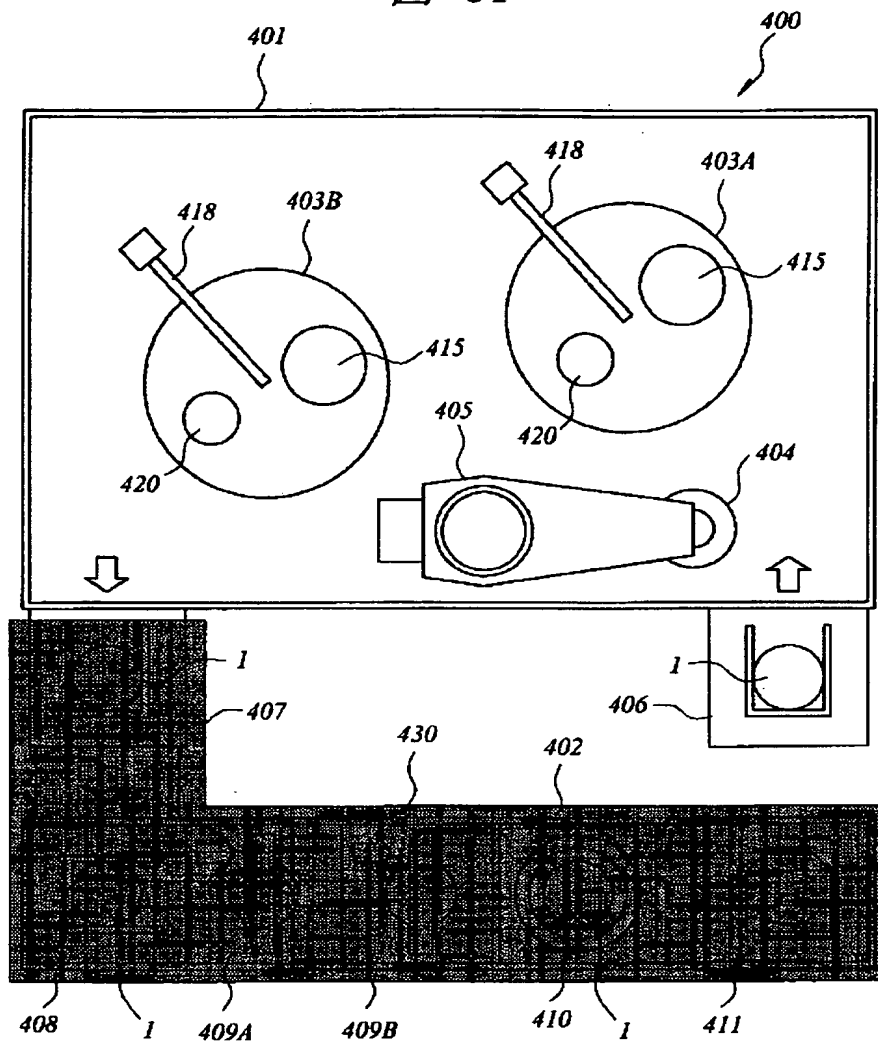
【図44】

図 44



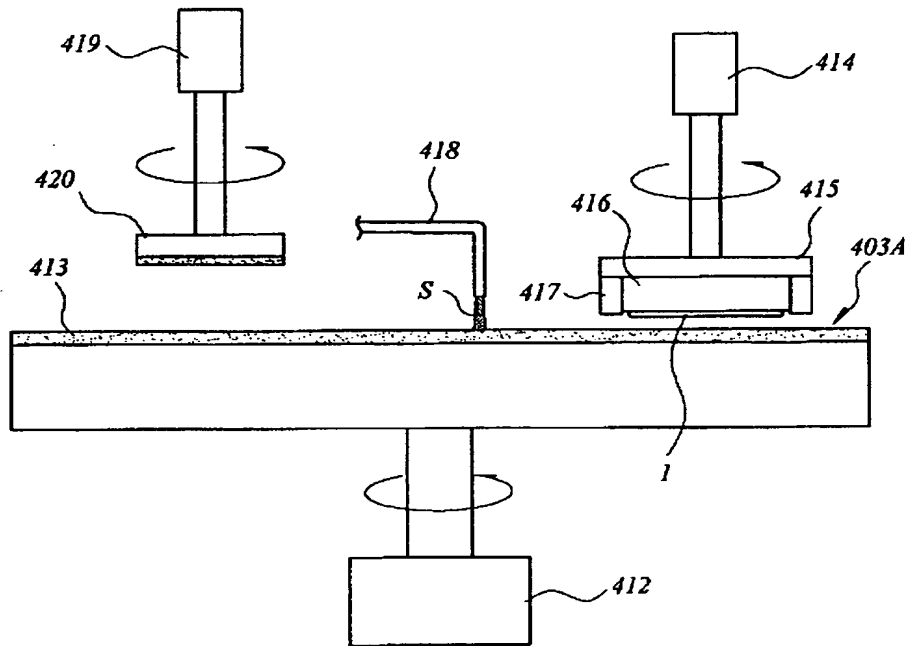
【図 34】

34



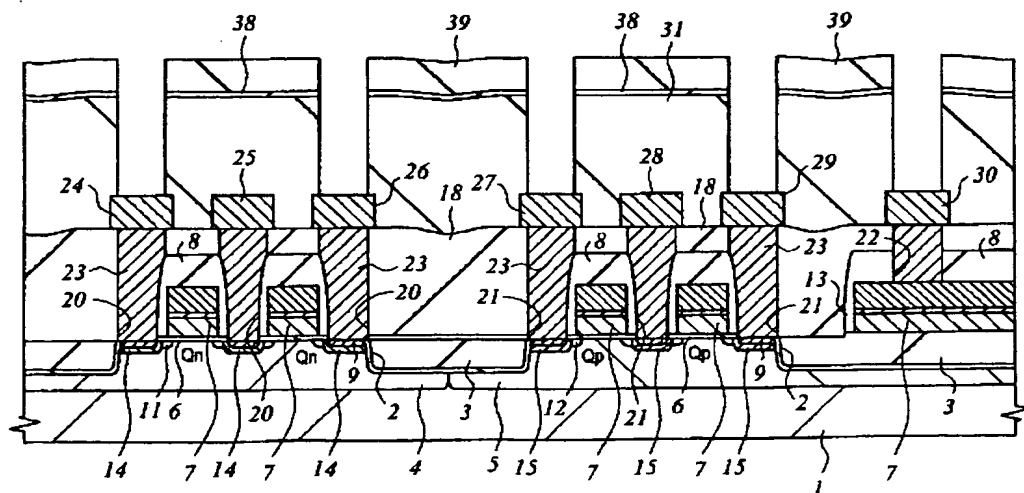
【図 35】

図 35



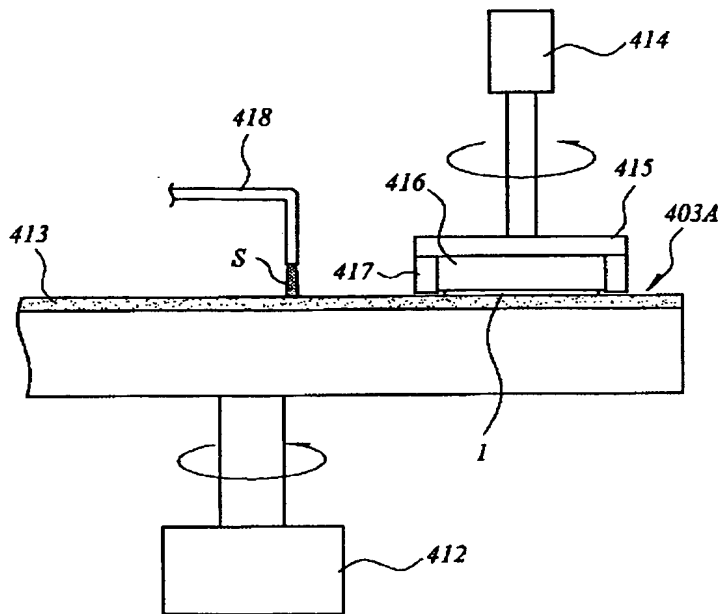
【図 51】

図 51



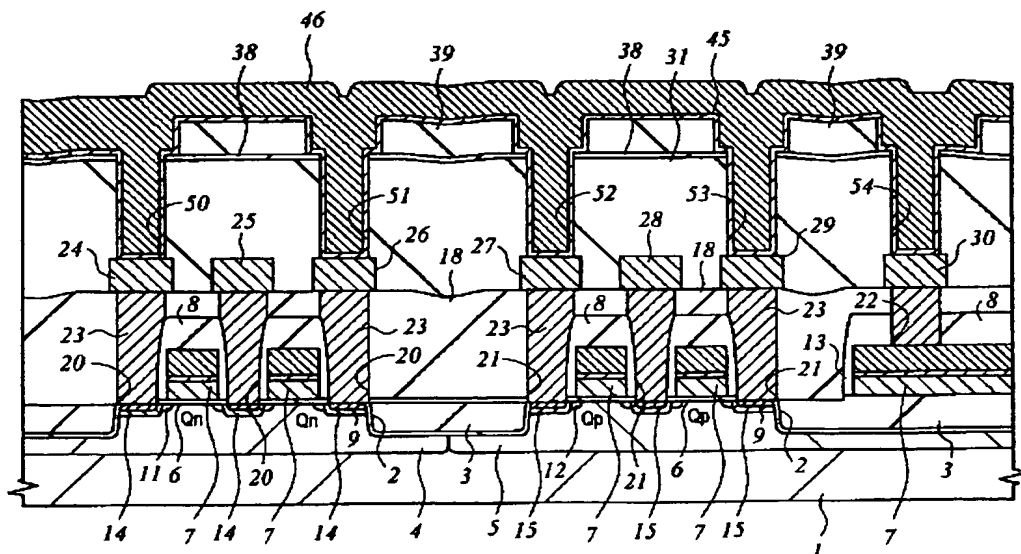
【図 36】

図 36

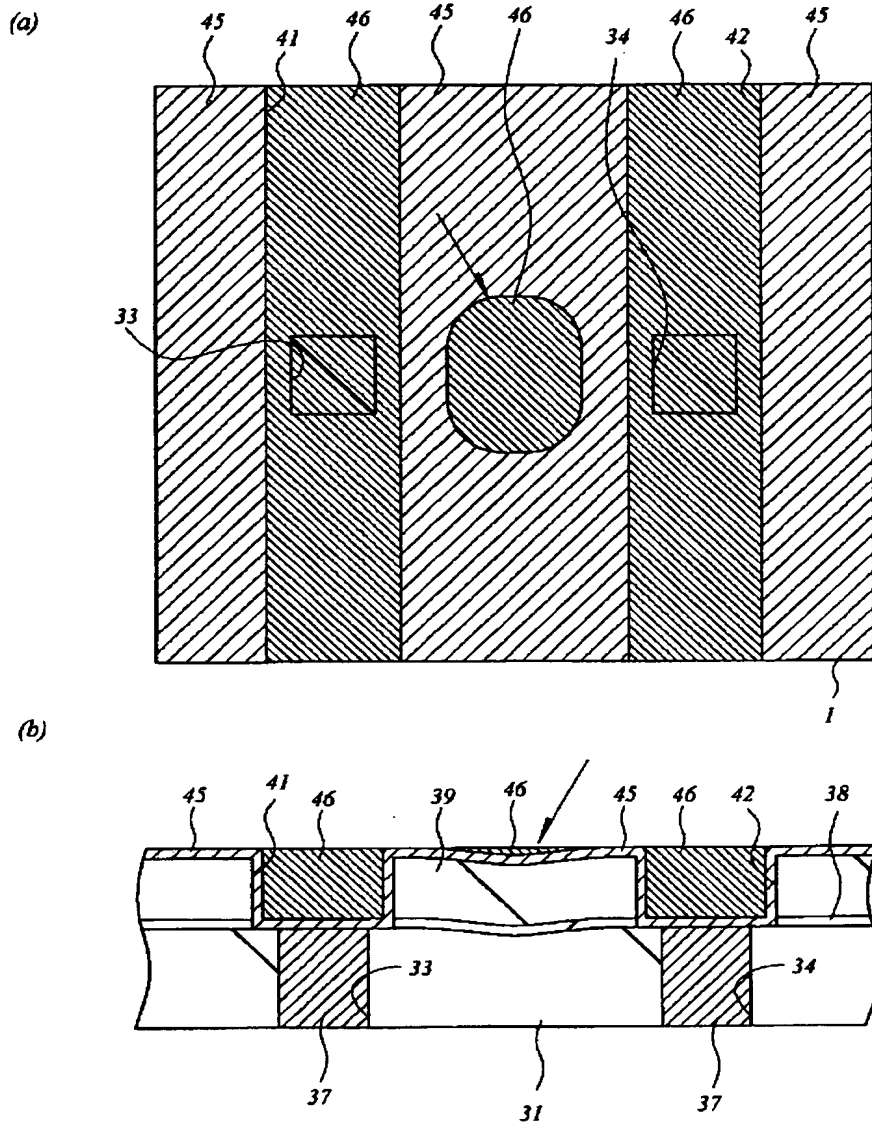


【図 53】

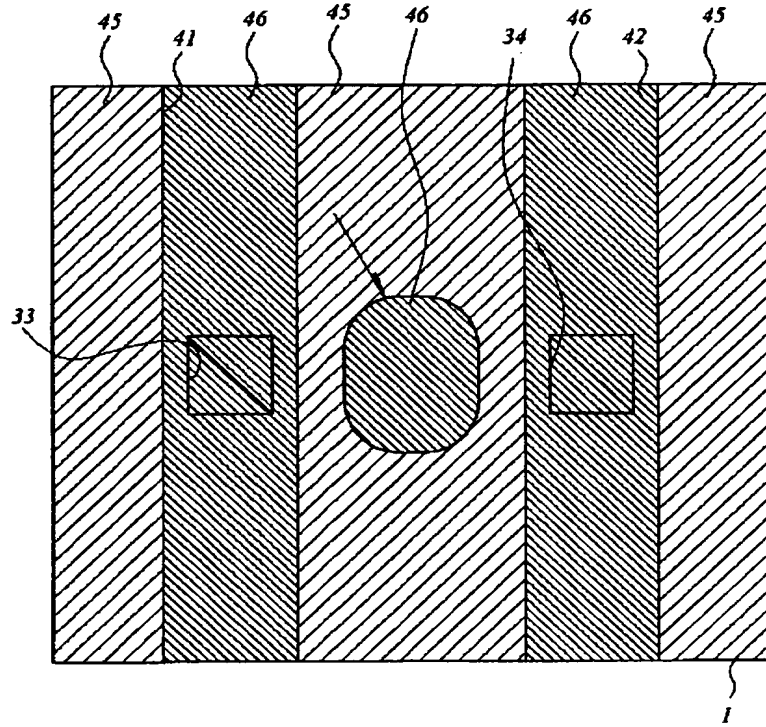
図 53



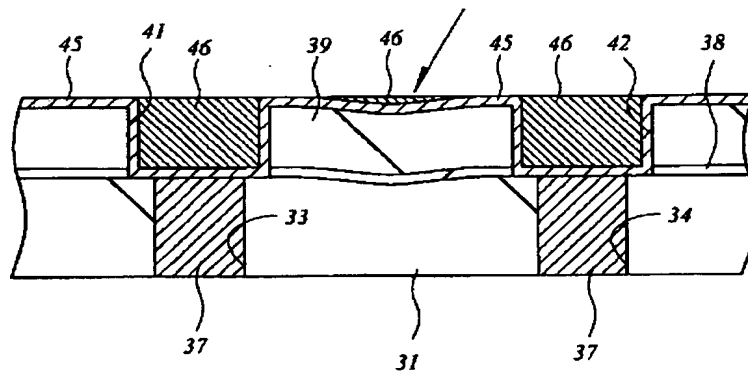
【図 38】


 38

(a)

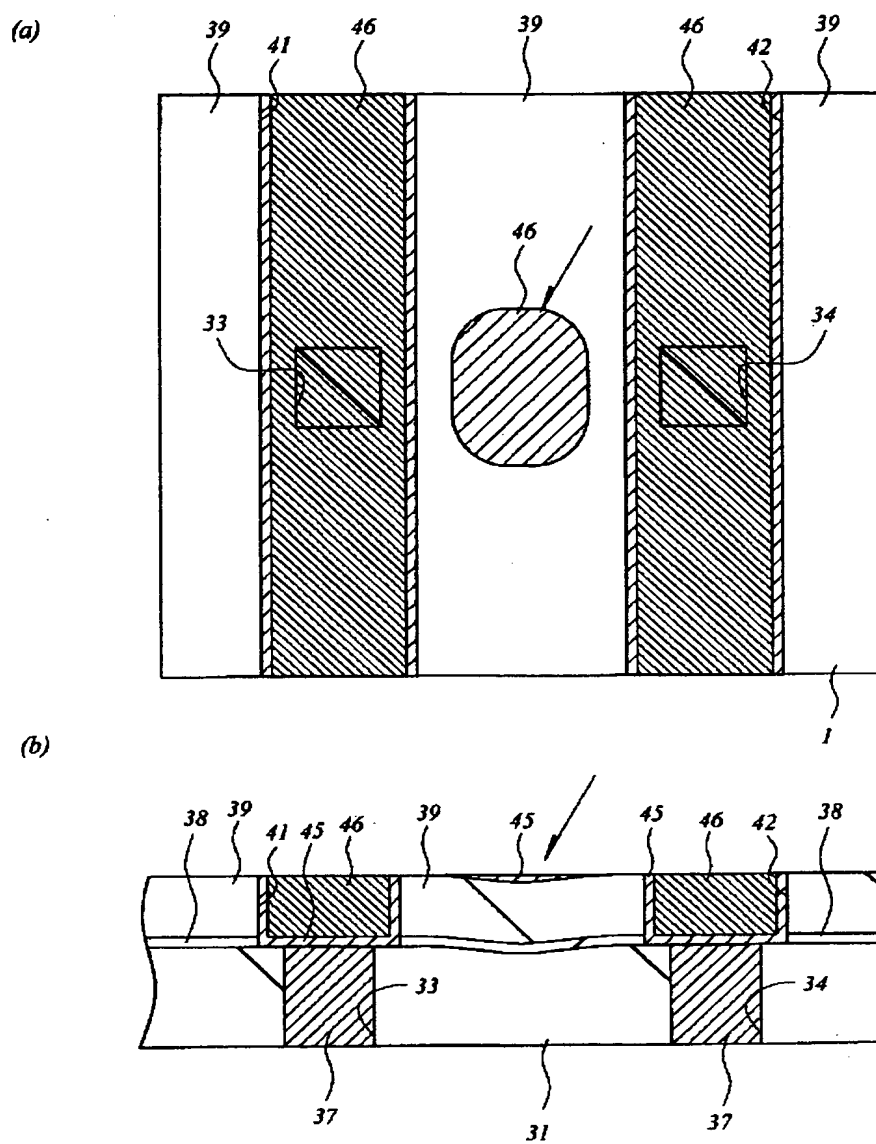


(b)



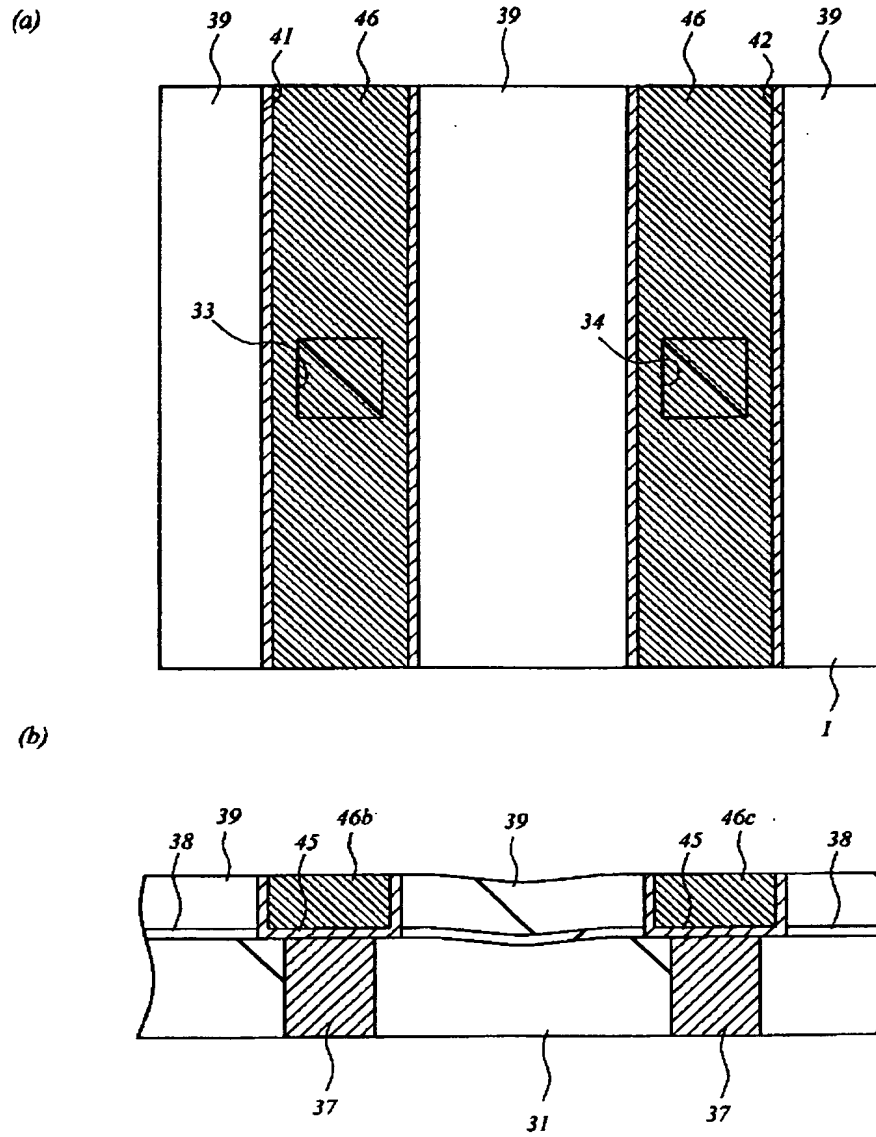
【図 40】

图 40



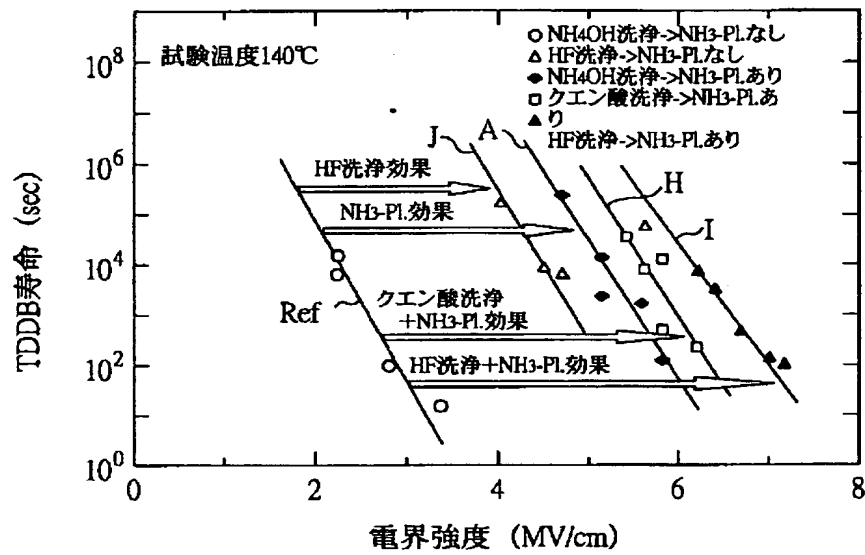
【図42】

図 42



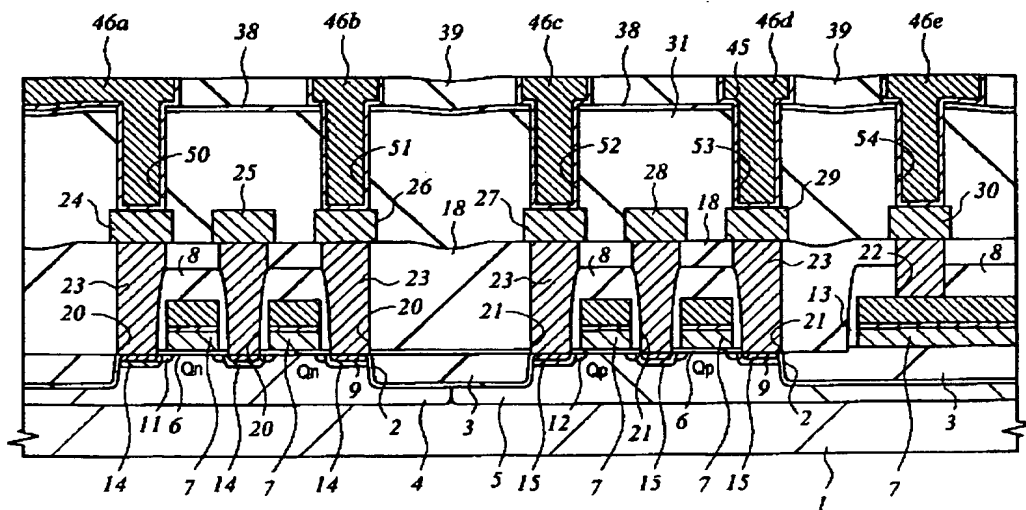
【図46】

図 46



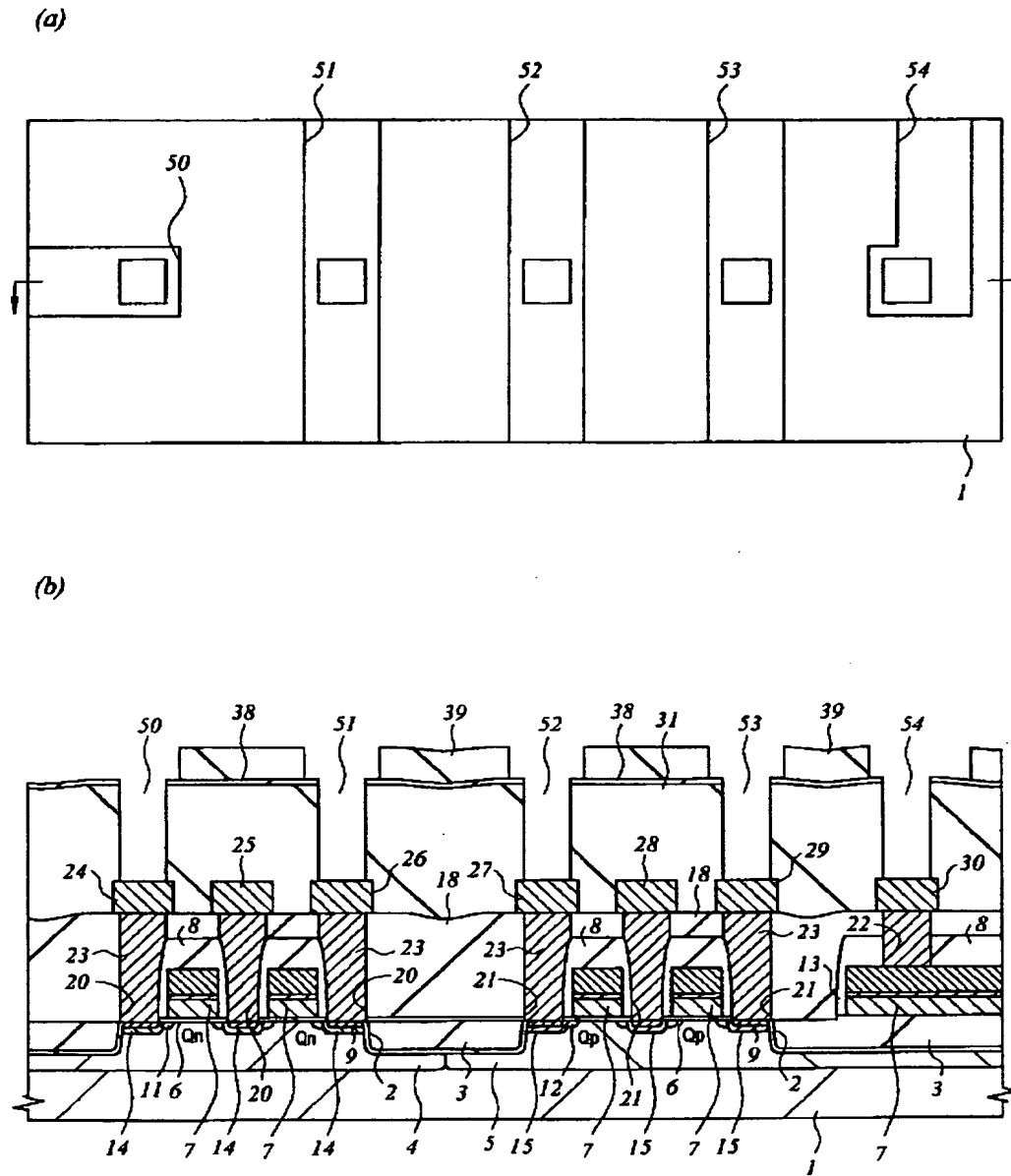
【図54】

図 54



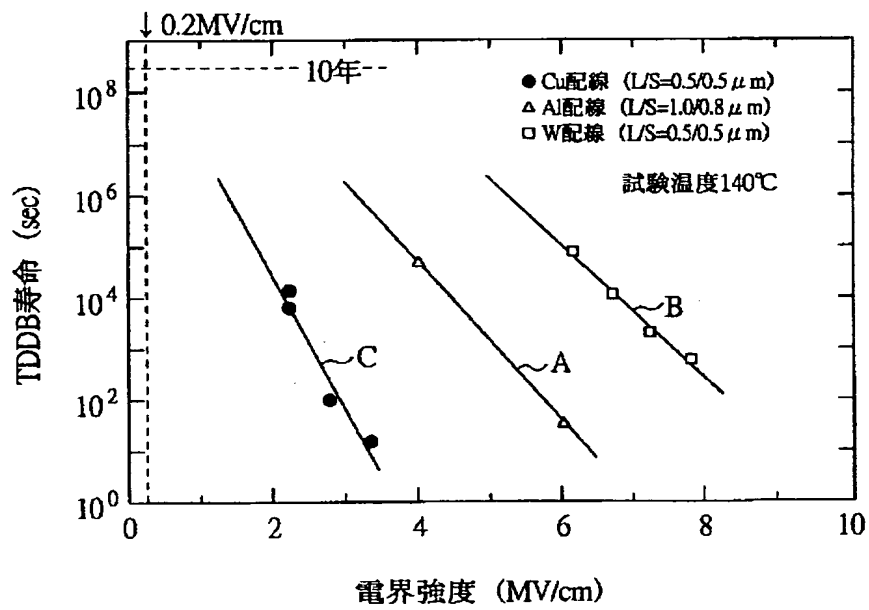
【図 52】

図 52



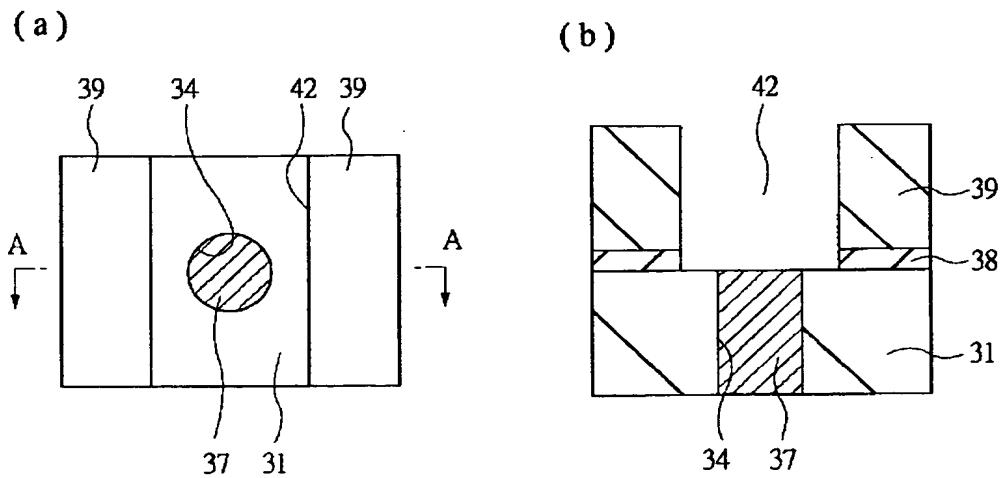
【図55】

図 55



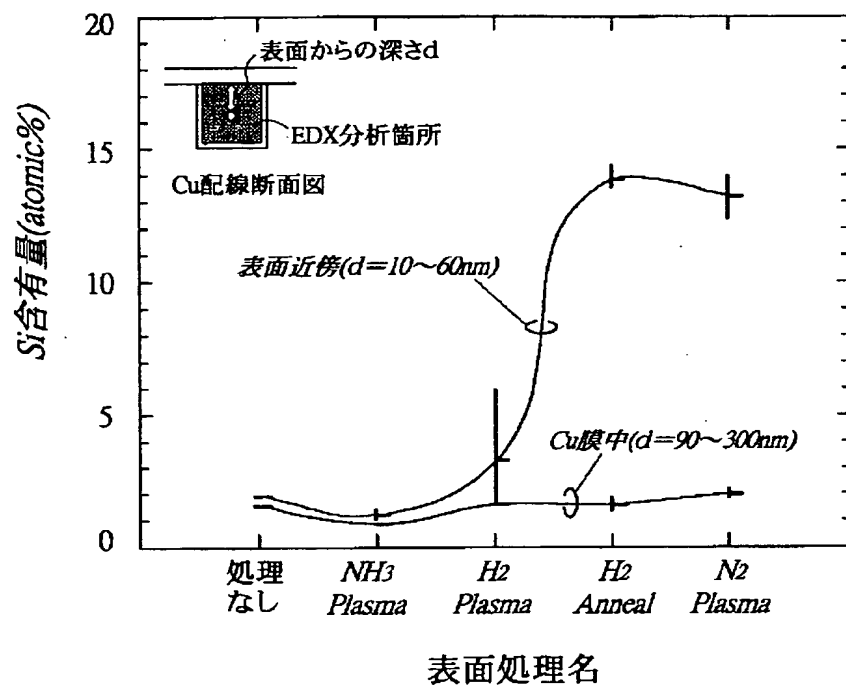
【図61】

図 61



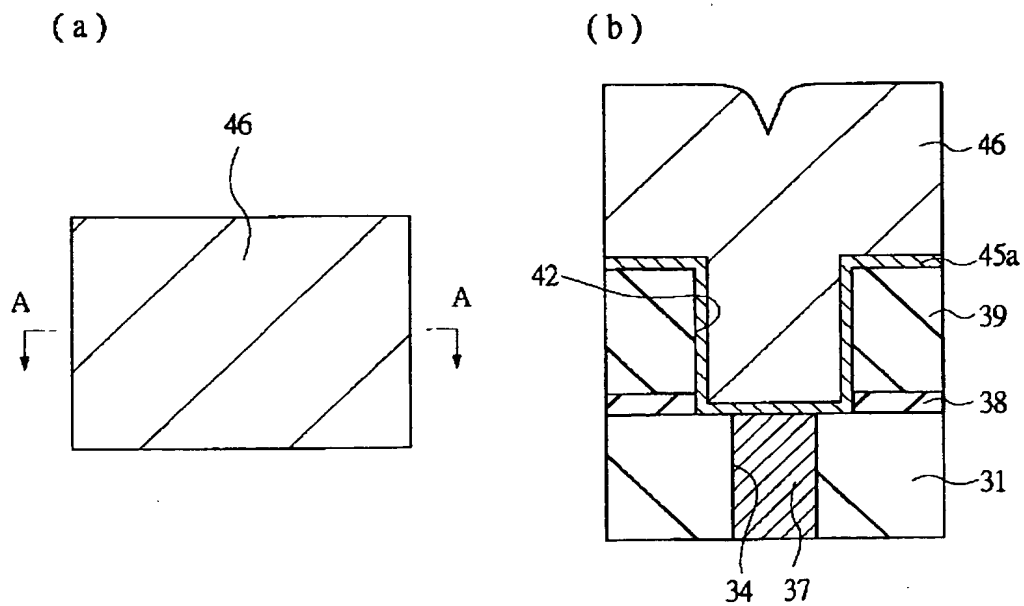
【図56】

図 56



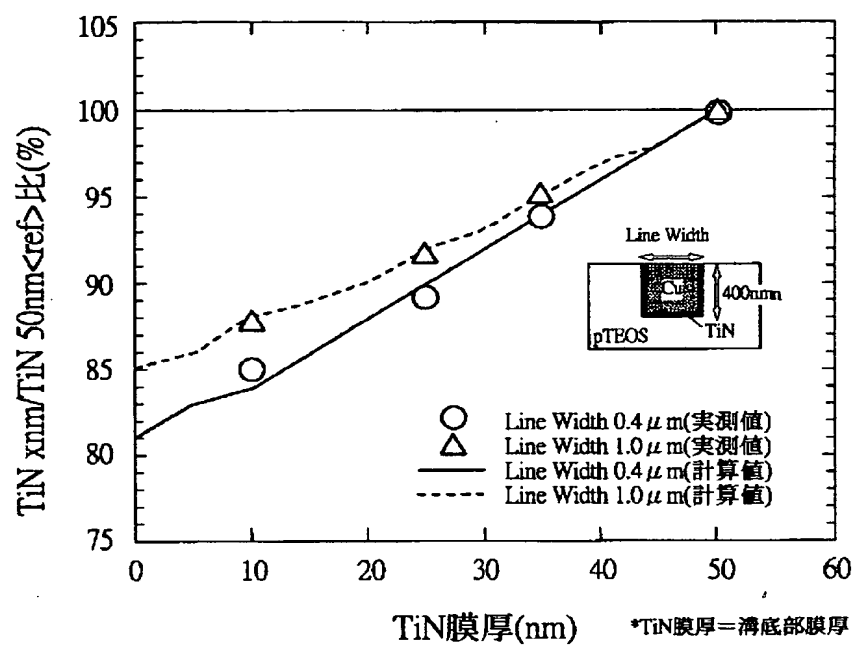
【図62】

図 62



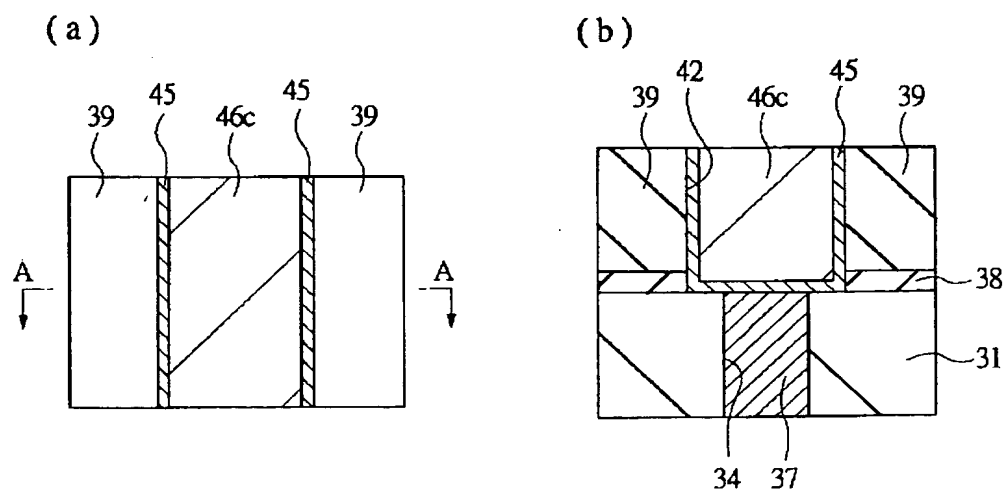
【図57】

図 57



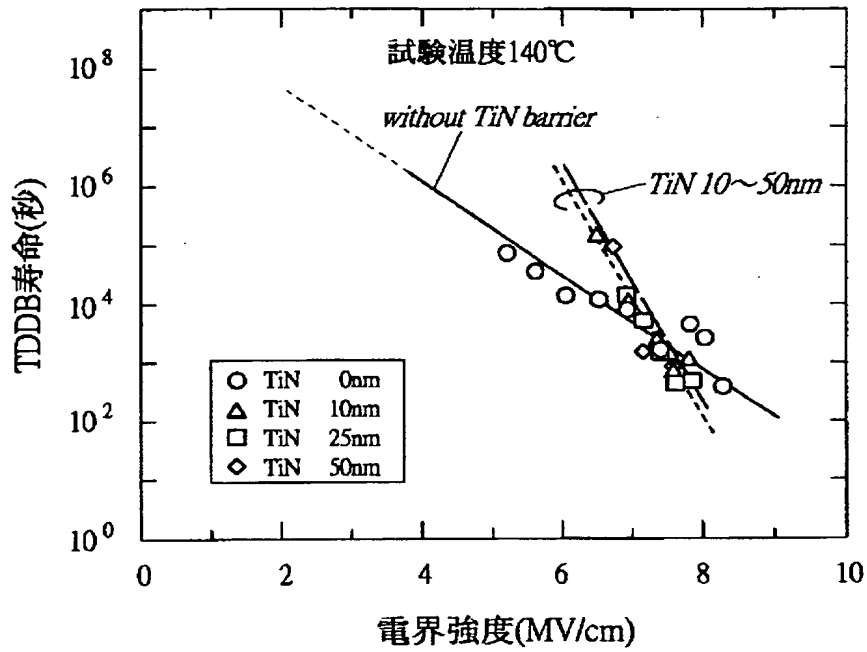
【図63】

図 63



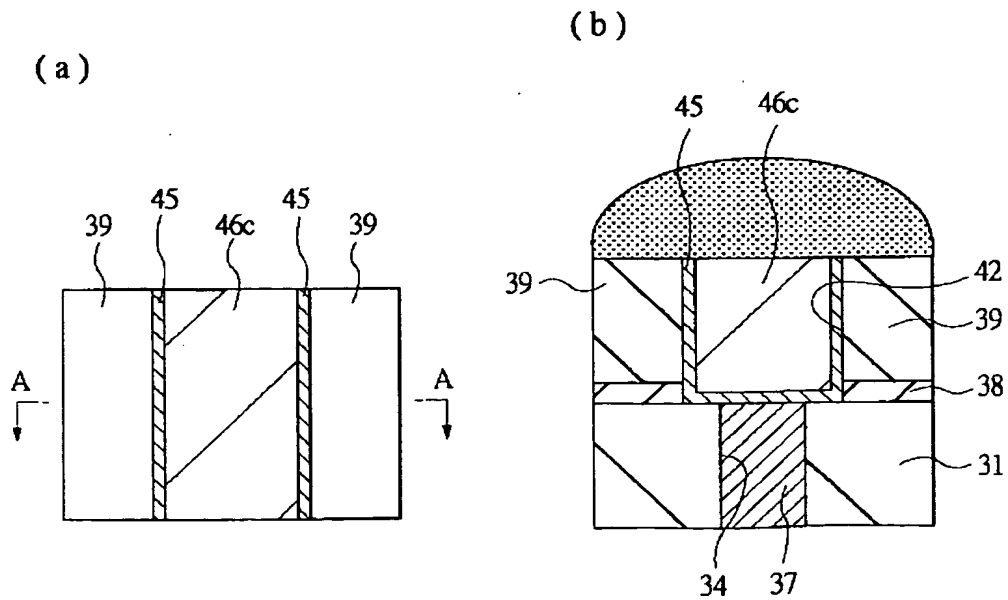
【図 58】

図 58



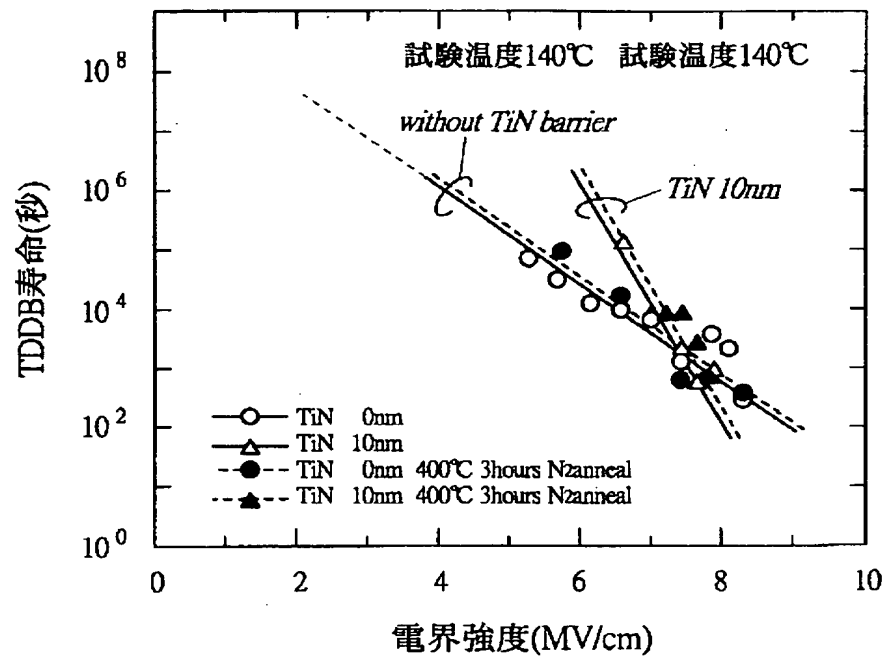
【図 64】

図 64



【図 59】

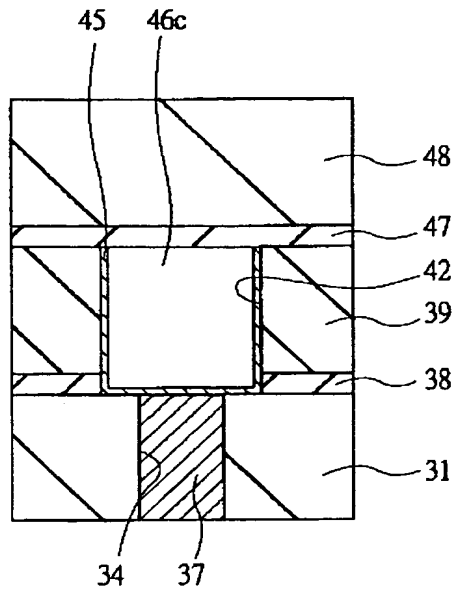
図 59



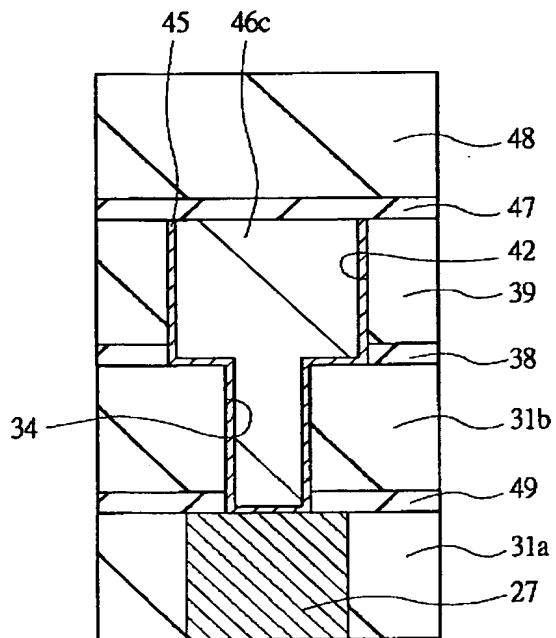
【図 60】

図 60

(a)



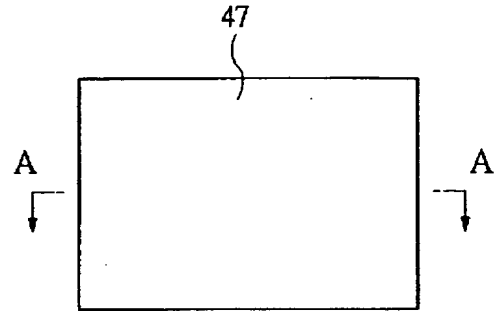
(b)



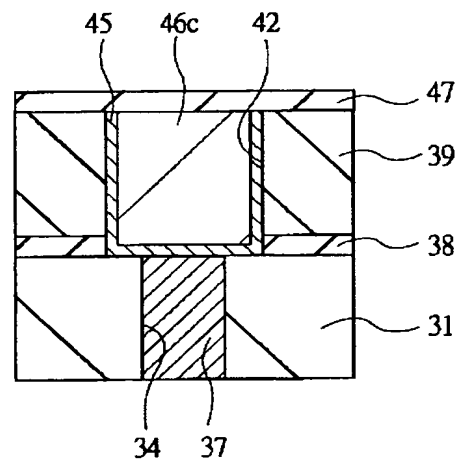
【図 65】

図 65

(a)



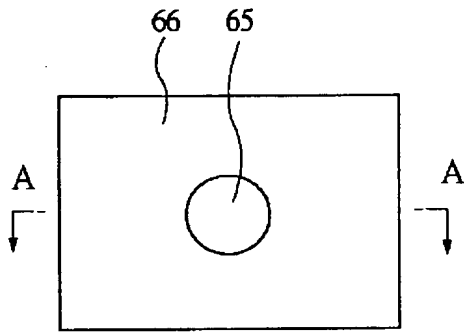
(b)



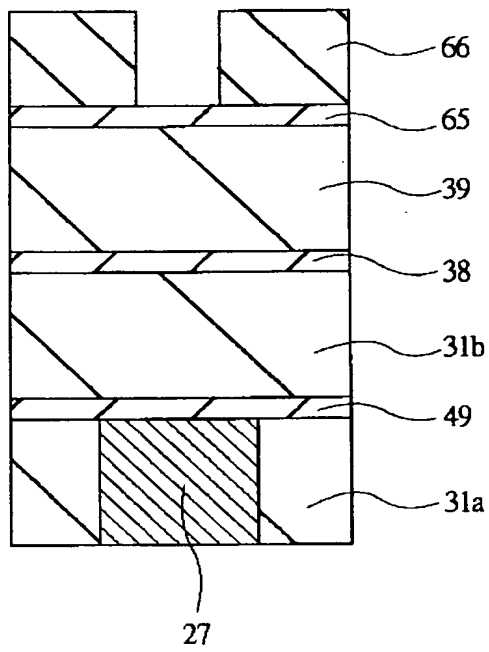
【図 66】

図 66

(a)



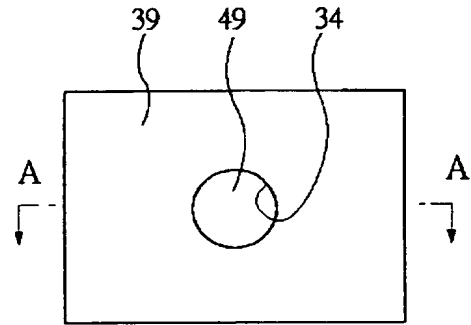
(b)



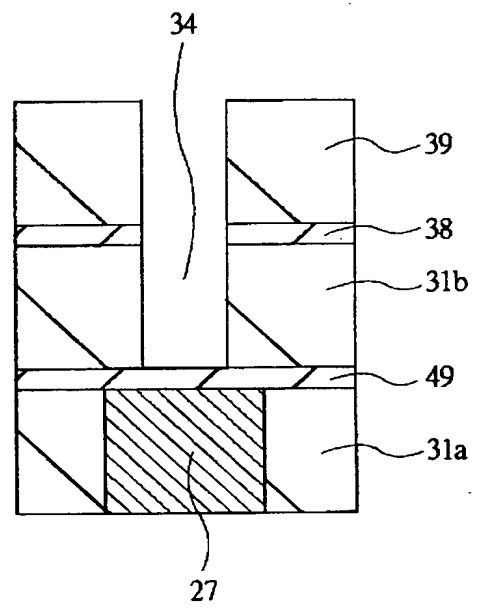
【図 68】

図 68

(a)



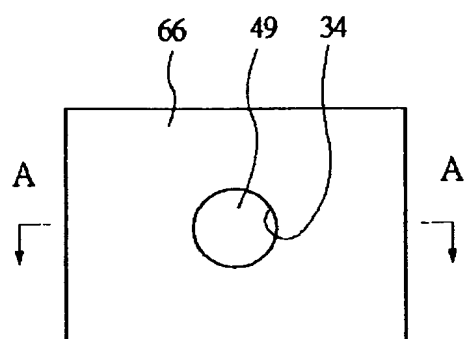
(b)



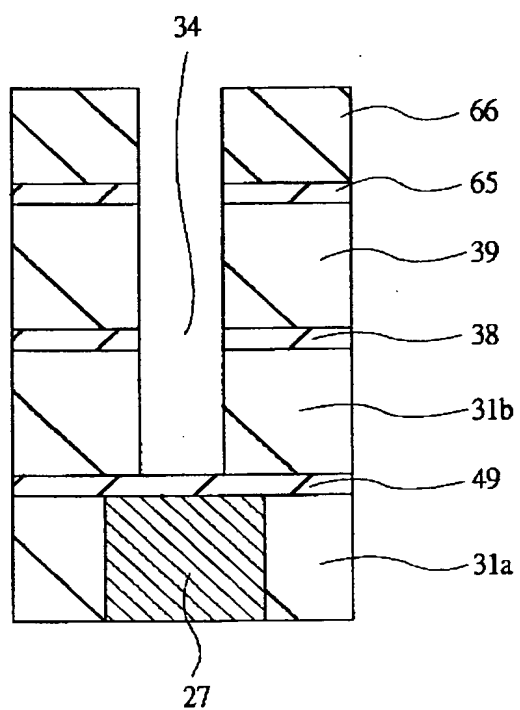
【図 67】

図 67

(a)



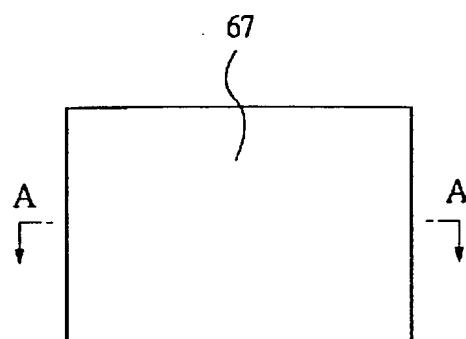
(b)



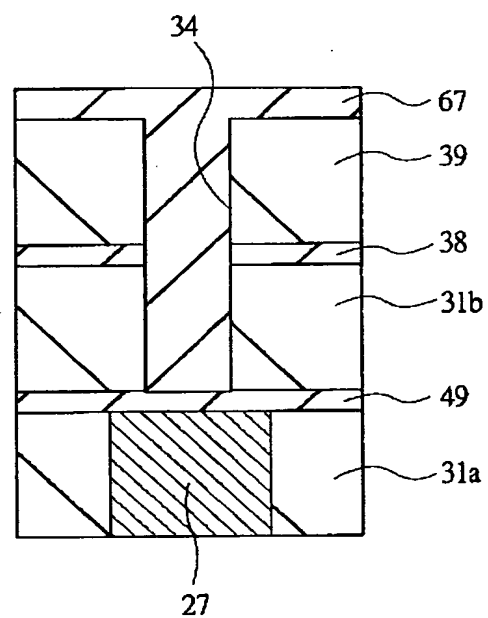
【図 69】

図 69

(a)

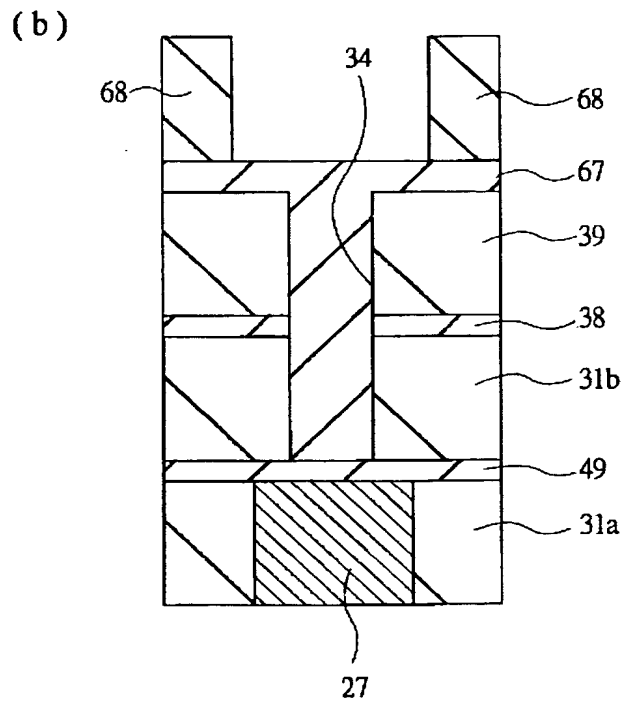
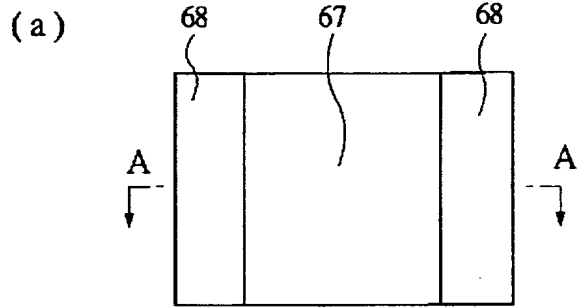


(b)



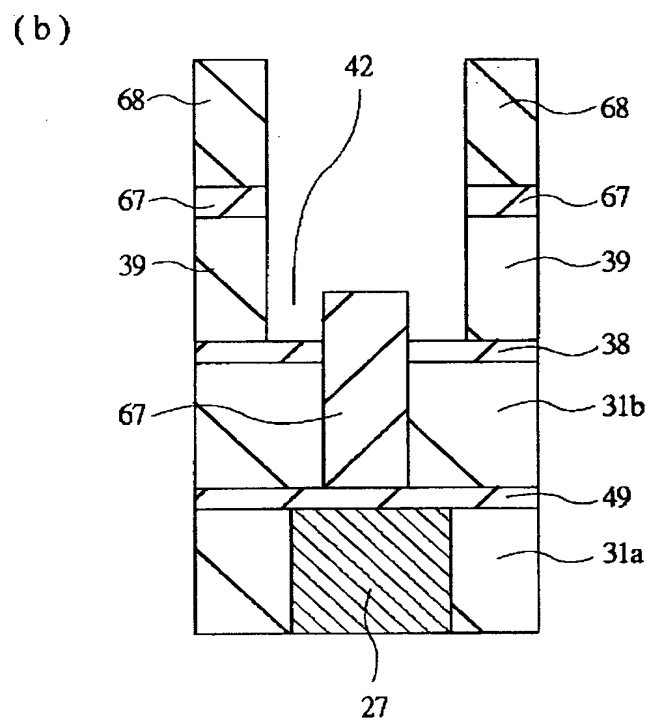
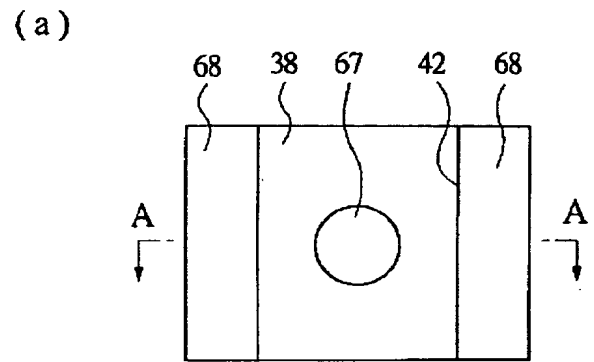
【図 70】

図 70



【図 71】

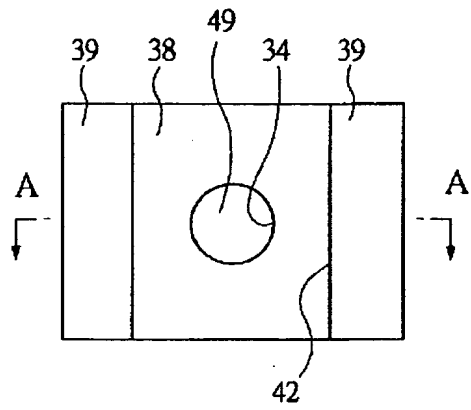
図 71



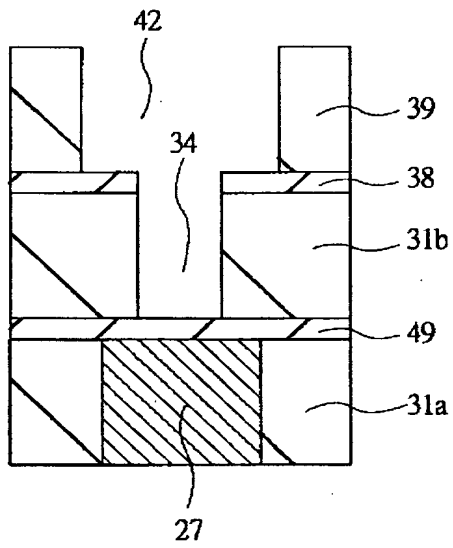
【図 72】

図 72

(a)



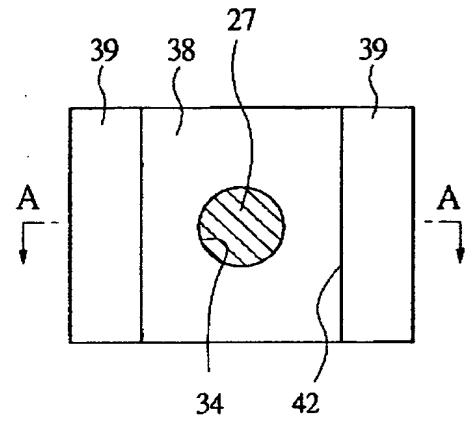
(b)



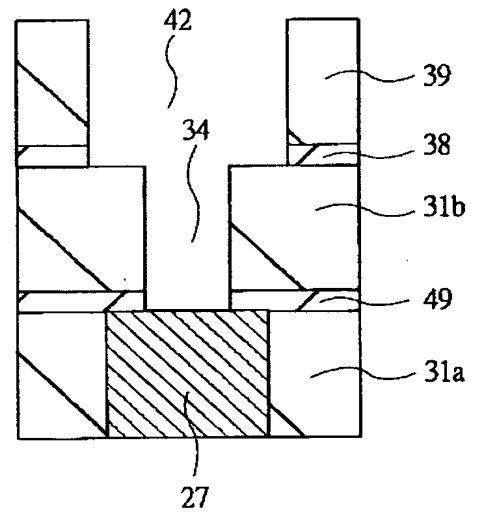
【図 73】

図 73

(a)

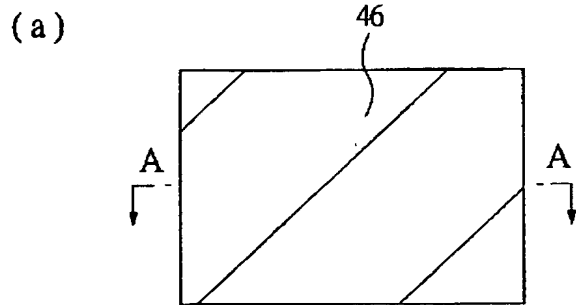


(b)

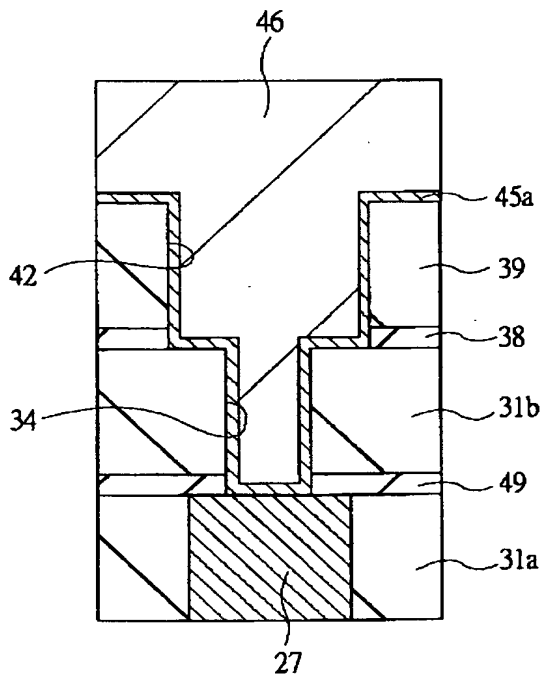


【図 74】

図 74



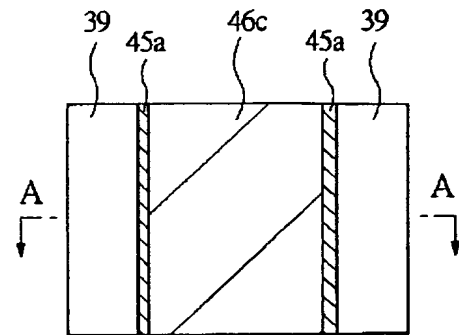
(b)



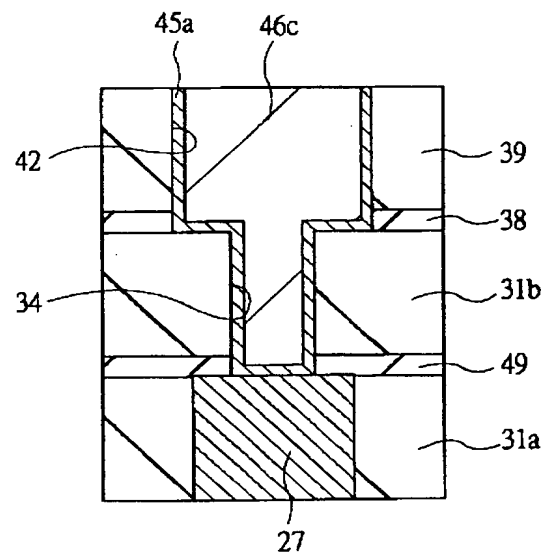
【図 75】

図 75

(a)



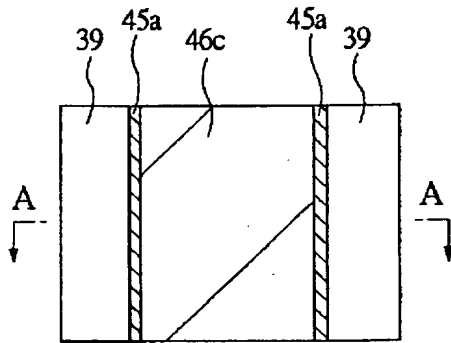
(b)



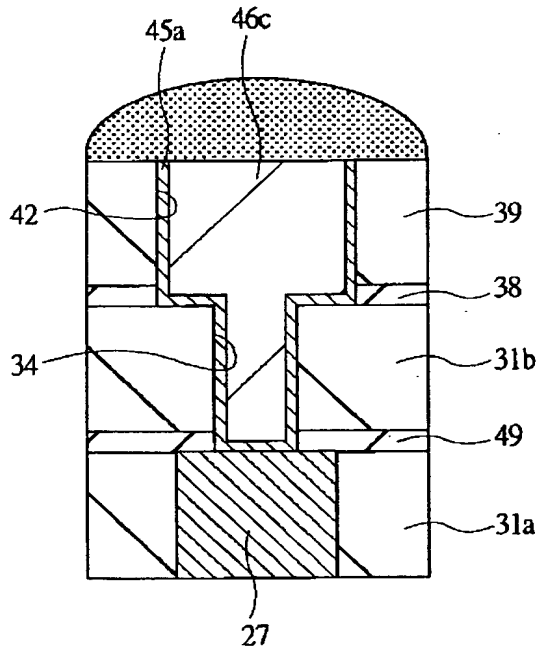
【図76】

図 76

(a)



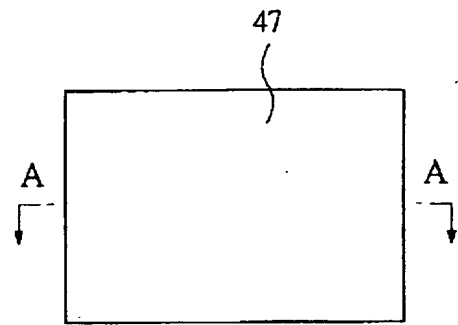
(b)



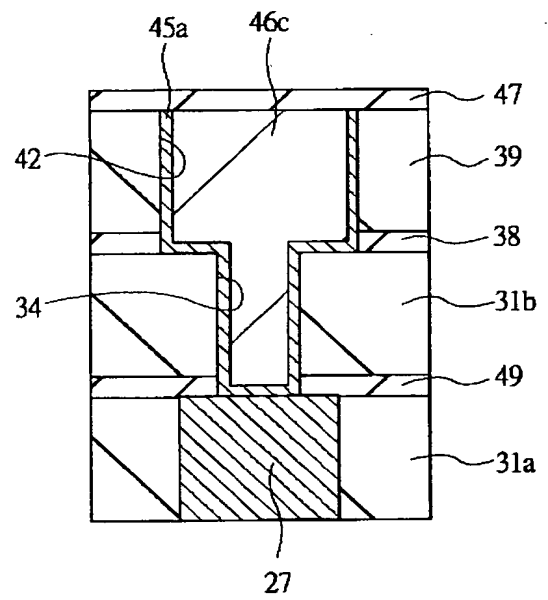
【図77】

図 77

(a)



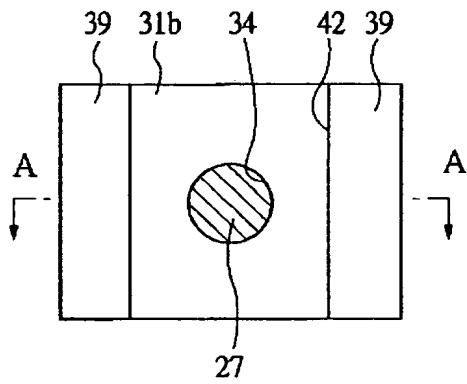
(b)



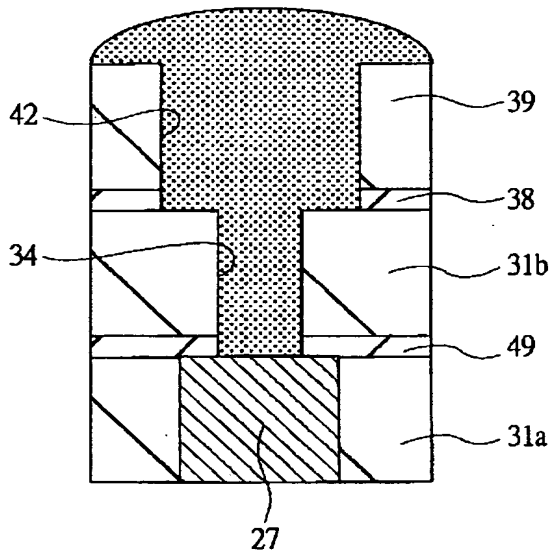
【図 78】

図 78

(a)



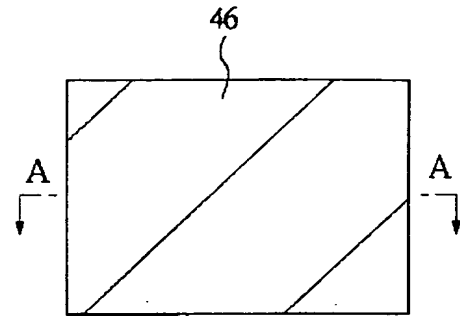
(b)



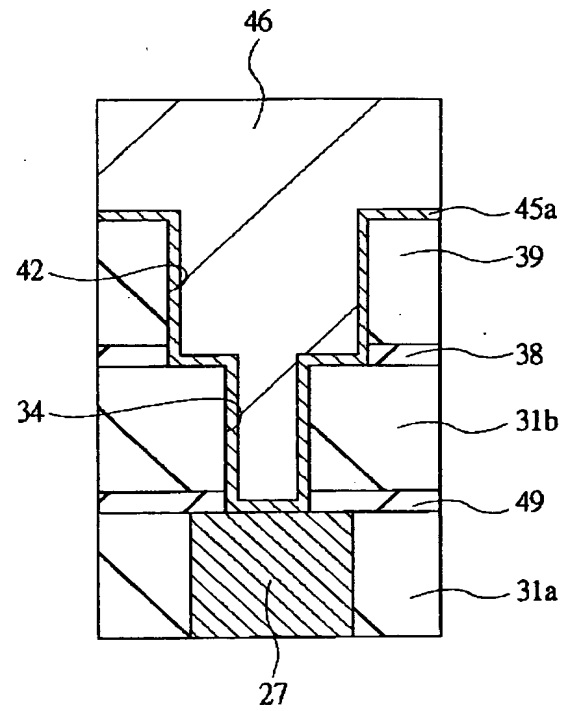
【図 79】

図 79

(a)



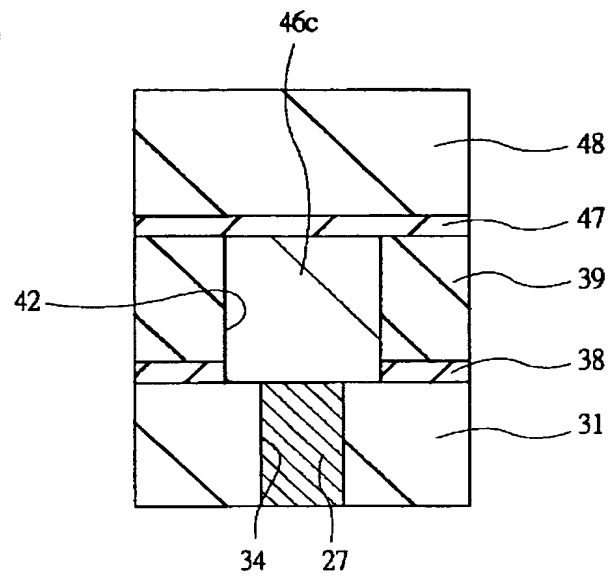
(b)



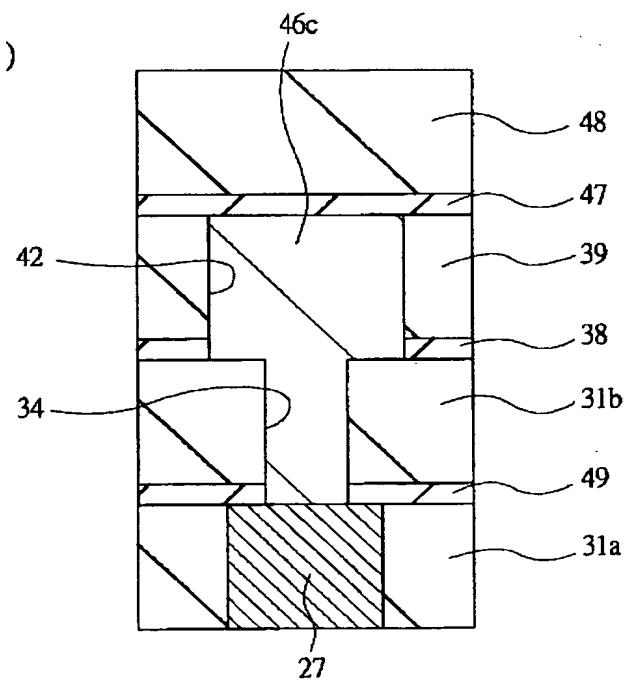
【図 80】

80

(a)

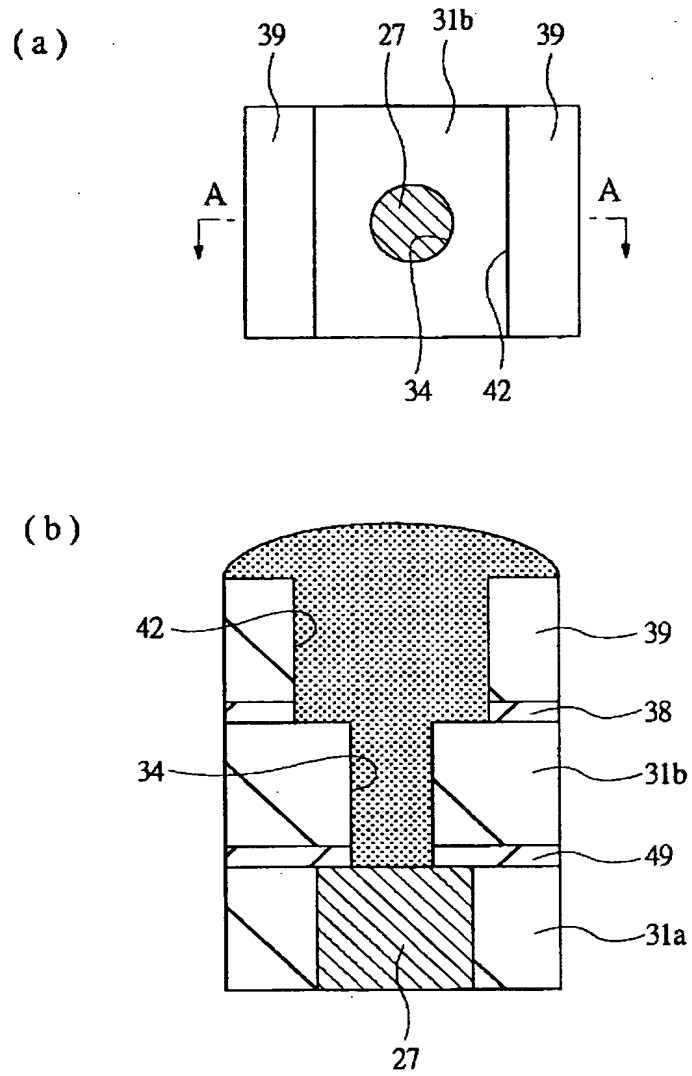


(b)



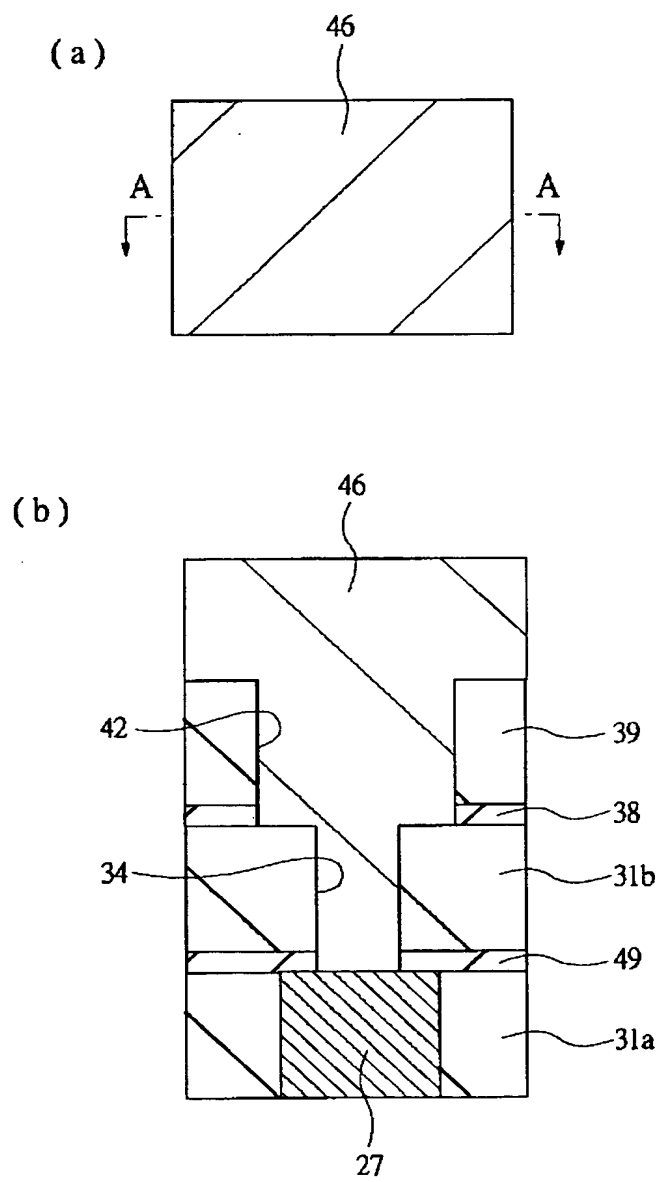
【図 81】

81



【図 82】

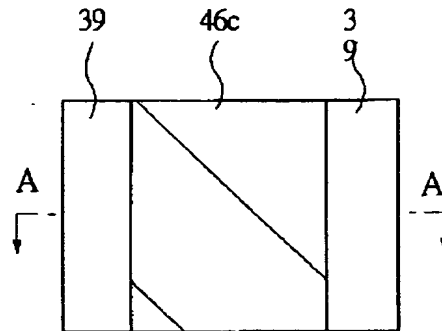
図 82



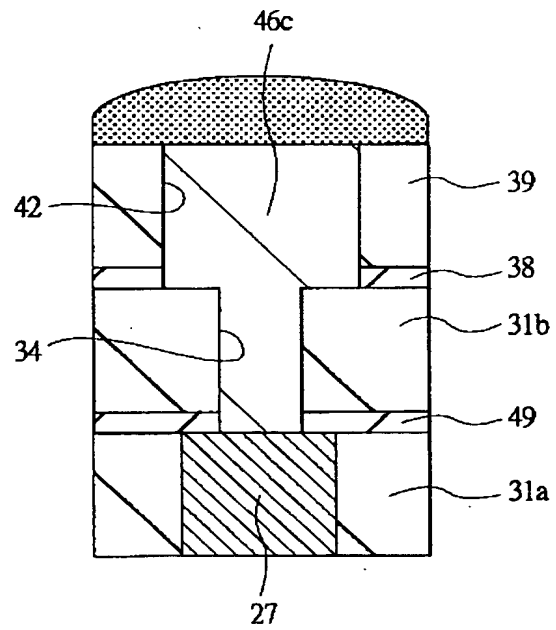
【図 83】

図 83

(a)

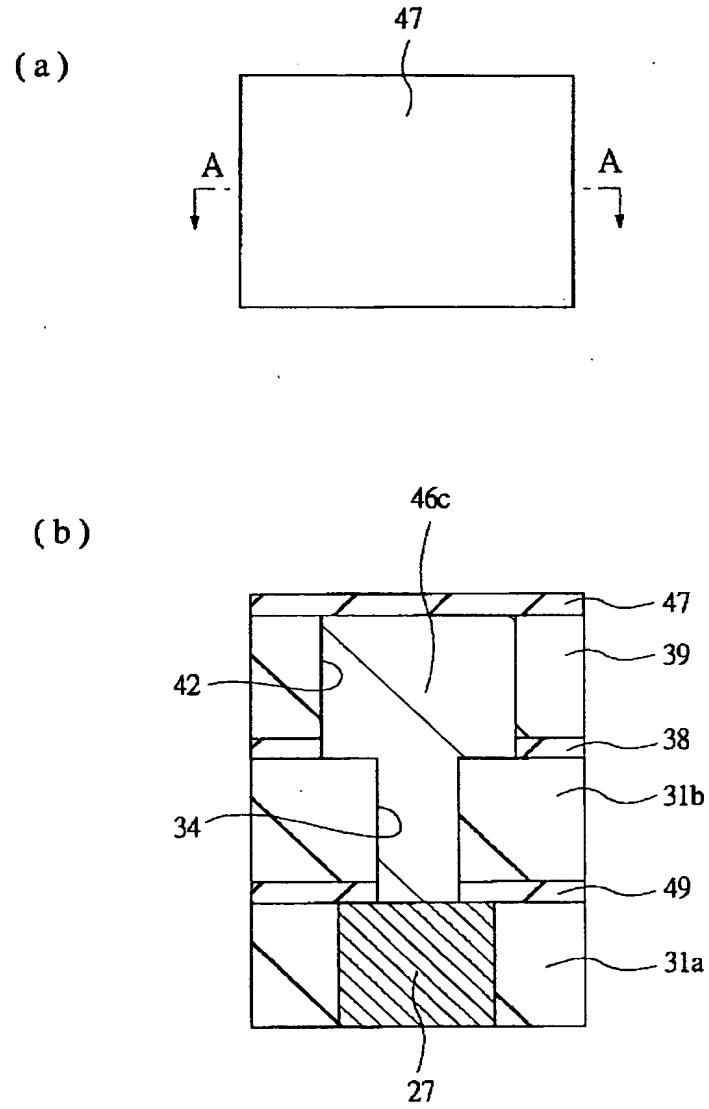


(b)



【図 84】

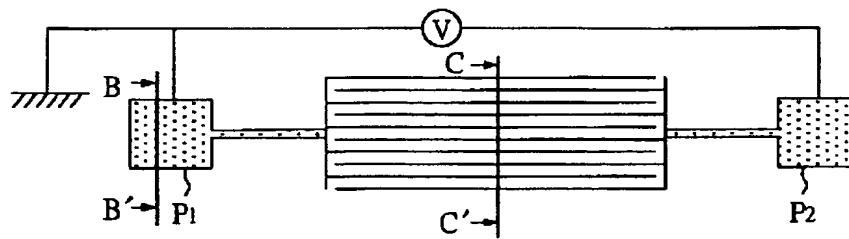
図 84



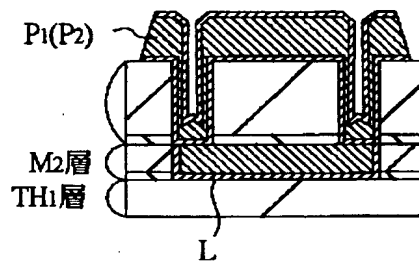
【図85】

図 85

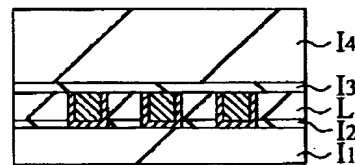
(a)



(b)

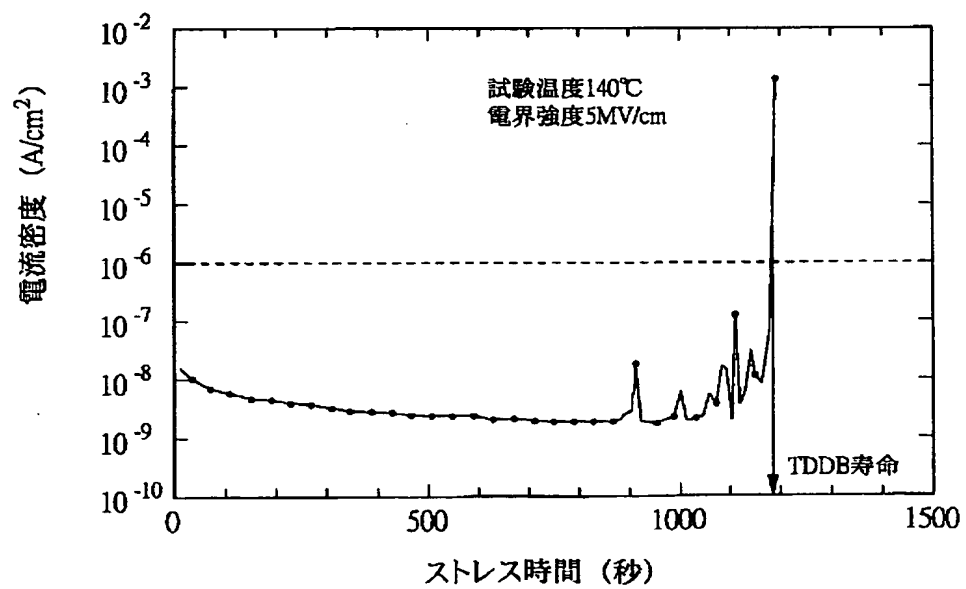


(c)



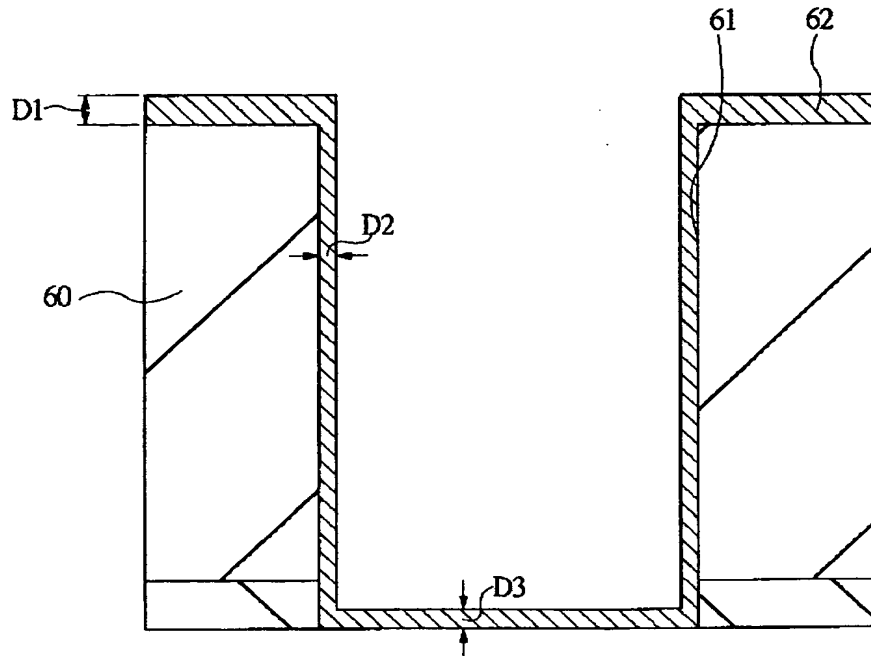
【図87】

図 87



【図 88】

図 88



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 21/8238
27/092

識別記号

F I

H 0 1 L 27/08

テーマコード (参考)

3 2 1 F

(72) 発明者 齋藤 達之

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

F ターム (参考) 5F033 HH04 HH11 HH18 HH19 HH21

HH23 HH25 HH28 HH32 HH33

HH34 JJ11 JJ18 JJ33 KK01

KK11 KK19 LL01 LL03 MM01

MM02 MM05 MM12 MM13 NN40

PP06 PP15 PP22 PP26 PP33

QQ08 QQ09 QQ10 QQ11 QQ16

QQ21 QQ25 QQ31 QQ37 QQ48

QQ50 QQ58 QQ65 QQ73 QQ75

QQ90 QQ91 QQ98 RR04 RR06

RR09 RR11 RR14 RR15 RR24

RR25 SS04 SS15 TT02 TT08

VV06 WW01 WW02 WW04 XX10

XX31

5F048 AA05 AA07 AC03 BF01 BF07

BF12 BG07 BG14